

日本国特許庁
JAPAN PATENT OFFICE

PCT/JP2004/016781

05.11.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2003年11月14日

REC'D 23 DEC 2004

出願番号
Application Number:

特願2003-386003

WIPQ

PCT

[ST. 10/C]: [JP2003-386003]

出願人
Applicant(s):

株式会社半導体エネルギー研究所

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年12月13日

特許庁長官
Commissioner,
Japan Patent Office

小川

洋

BEST AVAILABLE COPY

【書類名】 特許願
【整理番号】 P007503
【提出日】 平成15年11月14日
【あて先】 特許庁長官 殿
【発明者】
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所
【氏名】 中村 理
【発明者】
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所
【氏名】 藤井 厳
【発明者】
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所
【氏名】 立石 文則
【特許出願人】
【識別番号】 000153878
【氏名又は名称】 株式会社半導体エネルギー研究所
【代表者】 山崎 舜平
【手数料の表示】
【予納台帳番号】 002543
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】特許請求の範囲**【請求項1】**

第1の薄膜トランジスタ及び前記第2の薄膜トランジスタは、導電性材料を有するゲート電極層と、前記ゲート電極層上に設けられたゲート絶縁層と、前記ゲート絶縁層上に設けられた半導体層と、前記半導体層上に設けられたソース及びドレイン配線層とを有し、前記半導体層上に設けられたソース及びドレイン配線層と、前記第2の薄膜トランジスタのゲート電極層とが接続され、前記半導体層の端は、前記ゲート絶縁層の端を越えないように設けられていることを特徴とする発光装置。

【請求項2】

第1の薄膜トランジスタ及び前記第2の薄膜トランジスタは、導電性材料を有するゲート電極層と、前記ゲート電極層上に設けられたゲート絶縁層と、前記ゲート絶縁層上に設けられた半導体層と、前記半導体層上に設けられたソース及びドレイン配線層とを有し、前記半導体層上に設けられたソース及びドレイン配線層と、前記第2の薄膜トランジスタのゲート電極層とが接続され、前記半導体層の端は、前記ゲート絶縁層の端と一致するように設けられていることを特徴とする発光装置。

【請求項3】

画素毎に少なくともスイッチング用薄膜トランジスタと駆動用薄膜トランジスタとを有する発光装置において、前記スイッチング用薄膜トランジスタは、導電性材料から形成されたゲート電極層と、前記ゲート電極層と接する島状のゲート絶縁層と、前記ゲート絶縁層と接する島状の半導体層と、前記半導体層と接する一導電型の不純物を含有する半導体層と、前記一導電型の不純物を含有する半導体層と接するソース及びドレイン配線層とを有し、前記駆動用薄膜トランジスタは、導電性材料から形成されたゲート電極層と、前記ゲート電極層と接する島状のゲート絶縁層と、前記ゲート絶縁層と接する島状の半導体層とを有し、かつ前記ゲート電極層の一部は露出しており、前記スイッチング用薄膜トランジスタのソース及びドレイン配線層と前記駆動用薄膜トランジスタのゲート電極層とが接続され、前記スイッチング用薄膜トランジスタ及び前記駆動用薄膜トランジスタが有するゲート絶縁層の端は、前記半導体層の端を越えないように設けられていることを特徴とする発光装置。

【請求項4】

画素毎に少なくともスイッチング用薄膜トランジスタと駆動用薄膜トランジスタとを有する発光装置において、前記スイッチング用薄膜トランジスタは、導電性材料から形成されたゲート電極層と、前記ゲート電極層と接する下地層と、前記下地層と接する島状のゲート絶縁層と、前記ゲート絶縁層と接する島状の半導体層と、前記半導体層と接する一導電型の不純物を含有する半導体層と、前記一導電型の不純物を含有する半導体層と接するソース及びドレイン配線層とを有し、

前記駆動用薄膜トランジスタは、
 導電性材料から形成されたゲート電極層と、
 前記ゲート電極層と接する下地層と、
 前記下地層と接する島状のゲート絶縁層と、
 前記ゲート絶縁層と接する島状の半導体層とを有し、
 かつ前記ゲート電極層の一部は露出しており、
 前記スイッチング用薄膜トランジスタのソース及びドレイン配線層と前記駆動用薄膜トランジスタのゲート電極層とが接続されていることを特徴とする発光装置。

【請求項5】

請求項1乃至4のいずれか一において、前記導電性材料は、銀又は銀を含む合金であることを特徴とする発光装置。

【請求項6】

請求項1乃至5のいずれか一において、前記半導体層は、水素とハロゲン元素を含み、結晶構造を含む半導体を有し、 $1 \sim 15 \text{ cm}^2/\text{V} \cdot \text{sec}$ の電界効果移動度で動作可能な薄膜トランジスタを有することを特徴とする発光装置。

【請求項7】

請求項1乃至6のいずれか一項の発光装置を用いたテレビ受像器。

【請求項8】

絶縁表面を有する基板若しくは前処理を行った下地表面を有する基板上に、
 液滴吐出法でゲート電極層を形成する第1の段階と、
 前記ゲート電極層上に、ゲート絶縁層、半導体層を形成する第2の段階と、
 前記半導体層上に、液滴吐出法で第1のマスクを形成する第3の段階と、
 前記第1のマスクにより、前記ゲート絶縁層、半導体層をエッティングする第4の段階と、
 前記第1のマスクを除去する第5の段階と、
 前記半導体層上に、保護層を形成する第6の段階と、
 一導電型の不純物を含有する半導体層を形成する第7の段階と、
 液滴吐出法で、ソース及びドレイン配線層を形成する第8の段階と、
 前記ソース及びドレイン配線層をマスクとして、前記保護層上の前記一導電型の不純物を含有する半導体層をエッティングする第9の段階の各段階を含むことを特徴とする発光装置の作製方法。

【請求項9】

画素毎に少なくともスイッチング用薄膜トランジスタと駆動用薄膜トランジスタとを有する発光装置において、
 絶縁表面を有する基板若しくは前処理を行った下地表面を有する基板上に、
 液滴吐出法でスイッチング用薄膜トランジスタのゲート電極層と、
 駆動用薄膜トランジスタのゲート電極層とを形成する第1の段階と、
 前記スイッチング用薄膜トランジスタのゲート電極層上と、
 前記駆動用薄膜トランジスタのゲート電極層上に、ゲート絶縁層、半導体層を形成する第2の段階と、
 前記半導体層上に、液滴吐出法で第1のマスクを形成する第3の段階と、
 前記第1のマスクにより、前記ゲート絶縁層、半導体層をエッティングし、前記駆動用薄膜トランジスタのゲート電極層の一部を露出させる第4の段階と、
 前記第1のマスクを除去する第5の段階と、
 前記半導体層上に、保護層を形成する第6の段階と、
 一導電型の不純物を含有する半導体層を形成する第7の段階と、
 液滴吐出法で、ソース及びドレイン配線層を形成すると共に、少なくとも一方の配線層を接続する第8の段階と、
 前記駆動用薄膜トランジスタのゲート電極層と接続する第9の段階の各段階を含むことを特徴とする発光装置の作製方法。

【請求項10】

請求項8又は9において、前記第2の段階、大気に晒すことなく連続的に行うことを特徴とする発光装置の作製方法。

【請求項11】

絶縁表面を有する基板若しくは前処理を行った下地表面を有する基板上に、液滴吐出法でゲート電極層を形成する第1の段階と、前記ゲート電極層上に、前処理として下地層を形成する第2の段階と、前記下地層上に、ゲート絶縁層、半導体層を形成する第3の段階と、前記半導体層上に、液滴吐出法で第1のマスクを形成する第4の段階と、前記第1のマスクにより、前記ゲート絶縁層、半導体層をエッティングする第5の段階と、前記第1のマスクを除去する第6の段階と、前記半導体層上に、保護層を形成する第7の段階と、前記半導体層上に、不純物を含有する半導体層を形成する第8の段階と、液滴吐出法で、ソース及びドレイン配線層を形成する第9の段階と、前記ソース及びドレイン配線層をマスクとして、前記保護層上の前記一導電型の不純物を含有する半導体層をエッティングする第10の段階の各段階を含むことを特徴とする発光装置の作製方法。

【請求項12】

画素毎に少なくともスイッチング用薄膜トランジスタと駆動用薄膜トランジスタとを有する発光装置において、絶縁表面を有する基板若しくは前処理を行った下地表面を有する基板上に、液滴吐出法でスイッチング用薄膜トランジスタのゲート電極層と、駆動用薄膜トランジスタのゲート電極層とを形成する第1の段階と、前記スイッチング用薄膜トランジスタのゲート電極層上と、前記駆動用薄膜トランジスタのゲート電極層上に、前処理として下地層を形成する第2の段階と、前記下地層上に、ゲート絶縁層、半導体層を形成する第3の段階と、前記半導体層上に、液滴吐出法で第1のマスクを形成する第4の段階と、前記第1のマスクにより、前記ゲート絶縁層、半導体層をエッティングし、前記駆動用薄膜トランジスタのゲート電極層の一部を露出させる第5の段階と、前記第1のマスクを除去する第6の段階と、前記半導体層上に、保護層を形成する第7の段階と、一導電型の不純物を含有する半導体層を形成する第8の段階と、液滴吐出法で、ソース及びドレイン配線層を形成すると共に、少なくとも一方の配線層を前記駆動用薄膜トランジスタのゲート電極層と接続する第9の段階と、前記ソース及びドレイン配線層をマスクとして、前記保護層上の前記一導電型の不純物を含有する半導体層をエッティングする第10の段階の各段階を含むことを特徴とする発光装置の作製方法。

【請求項13】

請求項11又は12において、前記第3の段階は大気に晒すことなく連続的に行うことを特徴とする発光装置の作製方法。

【請求項14】

請求項8乃至13のいずれか一において、前記ゲート絶縁層は、第1の窒化珪素膜と、酸化珪素膜と、第2の窒化珪素膜を順次積層仕手性することを特徴とする発光装置の作製方法。

【書類名】明細書

【発明の名称】発光装置及びその作製方法

【技術分野】

【0001】

本発明は、大面積ガラス基板上に形成したトランジスタなどの能動素子をもって構成される発光装置及びその作製方法に関する。

【背景技術】

【0002】

従来、ガラス基板上の薄膜トランジスタ（以下「TFT」ともいう。）によって構成される、所謂アクティブマトリクス駆動方式の表示パネルは、半導体集積回路の製造技術と共に、フォトマスクを使った光露光工程により、各種薄膜をパターニングすることにより製造されてきた。

【0003】

これまで、一枚のマザーガラス基板から複数の表示パネルを切り出して、大量生産を効率良く行う生産技術が採用されてきた。マザーガラス基板のサイズは、1990年初頭における第1世代の300×400mmから、2000年には第4世代となり680×880mm若しくは730×920mmへと大型化して、一枚の基板から多数の表示パネルが取れるように生産技術が進歩してきた。

【0004】

ガラス基板若しくは表示パネルのサイズが小さい場合には、露光装置により比較的簡便にパターニング処理を行うことが可能であったが、基板サイズが大型化するにつれ、1回の露光処理で表示パネルの全面を同時に処理することが不可能となっていた。その結果、フォトレジストが塗布された領域を複数に分割して、所定のブロック領域毎に露光処理を行い、順次それを繰り返して基板全面の露光を行う方法などが開発されてきた（例えば、特許文献1参照。）。

【特許文献1】特開平11-326951号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、ガラス基板のサイズは、第5世代で1000×1200mm若しくは1000×1300mmへとさらに大型化し、次世代では1500×1800mm若しくはそれ以上のサイズが想定されるにつけ、従来のパターニング方法では、生産性良く、低コストで表示パネルを製造することが困難となって来た。すなわち、つなぎ露光により多数回の露光処理を行えば処理時間は増大し、基板の大型化に対応した露光装置の開発には多大な投資が必要となって來た。

【0006】

そればかりでなく、基板の全面に各種の被膜を形成し、僅かな領域を残してエッチング除去する工法では、材料コストを浪費し、多量の廃液を処理することが要求されてしまうという問題点が内在していた。

【0007】

本発明は、このような状況に鑑み成されたものであり、材料の利用効率を向上させ、かつ、作製工程を簡略化して作製可能な発光装置及びその製造技術を提供することを目的としている。

【課題を解決するための手段】

【0008】

本発明は、配線層若しくは電極を形成する導電層や、所定のパターンを形成するためのマスク層など表示パネルを作製するために必要なパターンのうち、少なくとも一つ若しくはそれ以上を、選択的にパターンを形成可能な方法により形成して、表示パネルを製造する特徴とするものである。選択的にパターンを形成可能な方法として、導電層や絶縁層など形成し、特定の目的に調合された組成物の液滴を選択的に吐出して所定のパター

ンを形成することが可能な、液滴吐出法（その方式によっては、インクジェット法とも呼ばれる。）を用いる。

【0009】

本発明は、エレクトロルミネセンス（以下「EL」ともいう。）と呼ばれる発光を発現する有機物、若しくは有機物と無機物の混合物を含む媒体を、電極間に介在させた発光素子とTFTとが接続された表示装置であって、このような表示装置を液滴吐出法を用いることで上記目的を達成する。

【0010】

本発明は、第1の薄膜トランジスタ及び前記第2の薄膜トランジスタは、導電性材料を有するゲート電極層と、前記ゲート電極層上に設けられたゲート絶縁層と、前記ゲート絶縁層上に設けられた半導体層と、前記半導体層上に設けられたソース及びドレイン配線層とを有し、前記第1の薄膜トランジスタのソース及びドレイン配線層と、前記第2の薄膜トランジスタのゲート電極層とが接続され、前記半導体層の端は、前記ゲート絶縁層の端を越えないように設けられていることを特徴とする発光装置であることを特徴としている。

【0011】

本発明は、第1の薄膜トランジスタ及び前記第2の薄膜トランジスタは、導電性材料を有するゲート電極層と、前記ゲート電極層上に設けられたゲート絶縁層と、前記ゲート絶縁層上に設けられた半導体層と、前記半導体層上に設けられたソース及びドレイン配線層とを有し、前記第1の薄膜トランジスタのソース及びドレイン配線層と、前記第2の薄膜トランジスタのゲート電極層とが接続され、前記半導体層の端は、前記ゲート絶縁層の端を越えないように設けられていることを特徴とする発光装置であることを特徴としている。

【0012】

本発明は、画素毎に少なくともスイッチング用薄膜トランジスタと駆動用薄膜トランジスタとを有する発光装置において、前記スイッチング用薄膜トランジスタは、導電性材料から形成されたゲート電極層と、前記ゲート電極層と接する島状のゲート絶縁層と、前記ゲート絶縁層と接する島状の半導体層と、前記半導体層と接する一導電型の不純物を含有する半導体層と、前記一導電型の不純物を含有する半導体層と接するソース及びドレインする半導体層と、前記駆動用薄膜トランジスタは、導電性材料から形成されたゲート電極配線層とを有し、前記駆動用薄膜トランジスタと接する島状のゲート絶縁層と、前記ゲート絶縁層と接する島状の半導体層とを有し、かつ前記ゲート電極層の一部は露出しており、スイッチング用薄膜の半導体層とを有し、かつ前記ゲート電極層と接する島状のゲート絶縁層と接する島状の半導体層とを有し、かつ前記ゲート電極層の一部は露出しており、スイッチング用薄膜トランジスタのソース及びドレイン配線層と駆動用薄膜トランジスタのゲート電極層とが接続されている発光装置であることを特徴としている。

【0013】

本発明は、画素毎に少なくともスイッチング用薄膜トランジスタと駆動用薄膜トランジスタとを有する発光装置において、前記スイッチング用薄膜トランジスタは、導電性材料から形成されたゲート電極層と、前記ゲート電極層と接する下地層と、前記下地層と接する島状のゲート絶縁層と、前記ゲート絶縁層と接する島状の半導体層と、前記半導体層と接する島状のゲート絶縁層と、前記ゲート絶縁層と接する島状の半導体層と、前記一導電型の不純物を含有する半導体層と接する一導電型の不純物を含有する半導体層と、前記駆動用薄膜トランジスタは、導電性層と接するソース及びドレイン配線層とを有し、前記駆動用薄膜トランジスタと接する島状のゲート電極層と、前記ゲート電極層と接する下地層と、前記ゲート電極層と接する島状のゲート絶縁層と接する島状の半導体層とを有し、かつ前記ゲート電極層の一部は露出しており、スイッチング用薄膜トランジスタのソース及びドレイン配線層と駆動用薄膜トランジスタのゲート電極層とが接続されている発光装置であることを特徴としている。

【0014】

本発明は、絶縁表面を有する基板若しくは前処理を行った下地表面を有する基板上に、液滴吐出法でゲート電極層を形成する第1の段階と、前記ゲート電極層上に、ゲート絶縁層、半導体層を形成する第2の段階と、前記半導体層上に、液滴吐出法で第1のマスクを

形成する第3の段階と、前記第1のマスクにより、前記ゲート絶縁層、半導体層をエッチングする第4の段階と、前記第1のマスクを除去する第5の段階と、前記半導体層上に、保護層を形成する第6の段階と、一導電型の不純物を含有する半導体層を形成する第7の段階と、液滴吐出法で、ソース及びドレイン配線層を形成する第8の段階と、前記ソース及びドレイン配線層をマスクとして、前記保護層上の前記一導電型の不純物を含有する半導体層をエッチングする第9の段階の各段階を含むことを特徴としている。

【0015】

本発明は、画素毎に少なくともスイッチング用薄膜トランジスタと駆動用薄膜トランジスタとを有する発光装置において、絶縁表面を有する基板若しくは前処理を行った下地表面を有する基板上に、液滴吐出法でスイッチング用薄膜トランジスタのゲート電極層と、駆動用薄膜トランジスタのゲート電極層とを形成する第1の段階と、前記スイッチング用薄膜トランジスタのゲート電極層上と、前記駆動用薄膜トランジスタのゲート電極層上に、ゲート絶縁層、半導体層を形成する第2の段階と、前記半導体層上に、液滴吐出法で第1のマスクを形成する第3の段階と、前記第1のマスクにより、前記ゲート絶縁層、半導体層をエッチングし、前記駆動用薄膜トランジスタのゲート電極層の一部を露出させる第4の段階と、前記第1のマスクを除去する第5の段階と、前記半導体層上に、保護層を形成する第6の段階と、一導電型の不純物を含有する半導体層を形成する第7の段階と、液滴吐出法で、ソース及びドレイン配線層を形成すると共に、少なくとも一方の配線層を前記駆動用薄膜トランジスタのゲート電極層と接続する第8の段階と、前記ソース及びドレイン配線層をマスクとして、前記保護層上の前記一導電型の不純物を含有する半導体層をエッチングする第9の段階の各段階を含むことを特徴としている。

【0016】

上記した第2の段階は、プラズマを援用した気相成長法（プラズマCVD）又はスパッタリング法により、ゲート絶縁層、半導体層の各層を大気に晒すことなく連続的に形成することが好ましい。

【0017】

ゲート絶縁層は、第1の窒化珪素膜、酸化珪素膜及び第2の窒化珪素膜を順次積層して形成することで、ゲート電極の酸化を防止出来、かつ、ゲート絶縁層の上層側に形成する半導体層と良好な界面を形成することが出来る。

【0018】

前記したように、本発明は、ゲート絶縁層、半導体層をパターニングの時に利用するマスクを形成する際に液滴吐出法により行い、ゲート絶縁層、半導体層を同時にエッチングすることを特徴としている。

【0019】

本発明は、絶縁表面を有する基板若しくは前処理を行った下地表面を有する基板上に、液滴吐出法でゲート電極層を形成する第1の段階と、前記ゲート電極層上に、前処理として下地層を形成する第2の段階と、前記下地層上に、ゲート絶縁層、半導体層を形成する第3の段階と、前記半導体層上に、液滴吐出法で第1のマスクを形成する第4の段階と、前記第1のマスクにより、前記ゲート絶縁層、半導体層をエッチングする第5の段階と、前記第1のマスクを除去する第6の段階と、前記半導体層上に、保護層を形成する第7の段階と、一導電型の不純物を含有する半導体層を形成する第8の段階と、液滴吐出法で、ソース及びドレイン配線層を形成する第9の段階と、前記ソース及びドレイン配線層をマスクとして、前記保護層上の前記一導電型の不純物を含有する半導体層をエッチングする第10の段階の各段階を含むことを特徴としている。

【0020】

本発明は、画素毎に少なくともスイッチング用薄膜トランジスタと駆動用薄膜トランジスタとを有する発光装置において、絶縁表面を有する基板若しくは前処理を行った下地表面を有する基板上に、液滴吐出法でスイッチング用薄膜トランジスタのゲート電極層と、駆動用薄膜トランジスタのゲート電極層とを形成する第1の段階と、前記スイッチング用薄膜トランジスタのゲート電極層上と、前記駆動用薄膜トランジスタのゲート電極層上に

、前処理として下地層を形成する第2の段階と、前記下地層上に、ゲート絶縁層、半導体層を形成する第3の段階と、前記半導体層上に、液滴吐出法で第1のマスクを形成する第4の段階と、前記第1のマスクにより、前記ゲート絶縁層、半導体層をエッティングし、前記駆動用薄膜トランジスタのゲート電極層の一部を露出させる第5の段階と、前記第1のマスクを除去する第6の段階と、前記半導体層上に、保護層を形成する第7の段階と、一マスクを除去する第8の段階と、液滴吐出法で、ソース及び導電型の不純物を含有する半導体層を形成する第9の段階と、前記ソース及びドレン配線層をマスクとして、前記保護層上の前記一導電型の不純物を含有する半導体層をエッティングする第10の段階の各段階を含むことを特徴としている。

[0 0 2 1]

上記した第3の段階は、プラズマを援用した気相成長法（プラズマCVD）又はスパッタリング法により、ゲート絶縁層、半導体層の各層を大気に晒すことなく連続的に形成することが好ましい。

[0 0 2 2]

ゲート絶縁層は、第1の窒化珪素膜、酸化珪素膜及び第2の窒化珪素膜を順次積層して形成することで、ゲート電極の酸化を防止出来、かつ、ゲート絶縁層の上層側に形成する半導体層と良好な界面を形成することが出来る。

[0023]

前記したように、本発明は、ゲート絶縁層、半導体層をパターニングの時に利用するマスクを形成する際に液滴吐出法により行い、ゲート絶縁層、半導体層を同時にエッチングすることを特徴としている。

[0024]

本発明は、ゲート電極層又は配線層を液滴吐出法で形成するものであり、導電性材料はAg、CuあるいはAg-Cu合金若しくはAg-Cu積層で形成することができる。また、そのゲート電極層又は配線層の上層には、窒化珪素膜若しくは窒化酸化珪素膜を接して設けることで酸化による劣化を防止することができる。

[0025]

本発明は、TFTの主要部である半導体層を、水素とハロゲン元素を含み、結晶構造を含むセミアモルファス半導体で形成することも可能であり、それにより、nチャネル型の TFTのみで構成される駆動回路を設けることができる。すなわち、半導体層に水素とハロゲン元素を含み結晶構造を含む半導体であって、 $1 \sim 15 \text{ cm}^2/\text{V} \cdot \text{sec}$ の電界効果移動度で動作可能な TFTにより駆動回路を同一基板上に実現することができる。

【発明の効果】

100261

【0020】 本発明によれば、液滴吐出法により、配線層やマスクのパターニングを直接行うことができる、材料の利用効率を向上させて、かつ、作製工程を簡略化した TFT 及びそれ用いた表示装置を得ることができる。

[0027]

EL表示パネルに用いるアクティプ・マトリクス方式は、特定の画素を選択し、必要な表示情報を与えられること、1フレーム期間を通して、発光素子に電流を流すための機能を持つていることを満足しなければならない。この二つを同時に満足するためにはスイッチング用薄膜トランジスタに加え、発光素子に電流を供給する駆動用薄膜トランジスタが必須になる。このスイッチング用薄膜トランジスタと駆動用薄膜トランジスタとは電気的に接続されていなければならないので、コンタクト部分を形成する必要がある。本発明によれば、ゲート絶縁層、半導体層をパターニングの時に利用するマスクを形成する際に液滴吐出法により行い、ゲート絶縁層、半導体層を同時にエッチングすることで、駆動用薄膜トランジスタのゲート電極層が露出されるため、スイッチング用薄膜トランジスタのソース及びドレイン配線層と簡単にコンタクトをとることができる。

【発明を実施するための最良の形態】

【0028】

本発明の実施の形態について、図面を用いて詳細に説明する。なお、以下の説明において、各図面間で共通する同等部位においては、同じ符号を付けて示すこととし、重複する説明については省略する。また、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解されるものであり、以下に示す態様に限定して解釈されるものでない。

【0029】

図1は本発明に係るEL表示パネルの構成を示す上面図であり、絶縁表面を有する基板100上に画素102をマトリクス上に配列させた画素部101、走査線側入力端子103、信号線側入力端子104が形成されている。画素数は種々の規格に従って設ければ良く、XGAであれば $1024 \times 768 \times 3$ (RGB)、UXGAであれば $1600 \times 1200 \times 3$ (RGB)、フルスペックハイビジョンに対応させるのであれば $1920 \times 1080 \times 3$ (RGB) とすれば良い。

【0030】

画素102は、走査線側入力端子103から延在する走査線と、信号線側入力端子104から延在する信号線とが交差することで、マトリクス状に配設される。画素102のそれぞれには、信号線との接続状態を制御する薄膜トランジスタ（以下「スイッチング用薄膜トランジスタ」又は「スイッチング用TFT」ともいう。）と、発光素子へ流れる電流を制御する薄膜トランジスタ（以下「駆動用薄膜トランジスタ」又は「駆動用TFT」ともいう。）とが備えられ、駆動用薄膜トランジスタが発光素子と直列に接続されている。

【0031】

TFTは、その主要な構成要素として、半導体層、ゲート絶縁層及びゲート電極層が挙げられ、半導体層に形成されるソース及びドレイン領域に接続する配線層がそれに付随する。構造的には基板側から半導体層、ゲート絶縁層及びゲート電極層を配設したトップゲート型と、基板側からゲート電極層、ゲート絶縁層及び半導体層を配設したボトムゲート型などが代表的に知られているが、本発明においてはそれらの構造のどのようなものを用いても良い。

【0032】

半導体層を形成する材料は、シリコンやゲルマンに代表される半導体材料ガスを用いて気相成長法やスパッタリング法で作製されるアモルファス半導体（以下「AS」ともいう。）、該非晶質半導体を光エネルギーや熱エネルギーを利用して結晶化させた多結晶半導体、或いはセミアモルファス（微結晶若しくはマイクロクリスタルとも呼ばれる。以下「SAS」ともいう。）半導体などを用いることができる。

【0033】

SASは、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造を有し、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいる。少なくとも膜中の一部の領域には、 $0.5 \sim 20 \text{ nm}$ の結晶領域を観測することが出来、珪素を主成分とする場合にはラマンスペクトルが 520 cm^{-1} よりも低波数側にシフトしている。X線回折では珪素結晶格子に由来するとされる（111）、（220）の回折ピークが観測される。未結合手（ダングリングボンド）の中和剤として水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。SASは、珪化物気体をグロー放電分解（プラズマCVD）して形成する。珪化物気体としては、SiH₄、その他にもSi₂H₆、SiH₂C₁₂、SiHC₁₃、SiC₁₄、SiF₄などを用いることが可能である。またGeF₄を混合させても良い。この珪化物気体をH₂、又は、H₂とHe、Ar、Kr、Neから選ばれた一種または複数種の希ガス元素で希釈しても良い。希釈率は2～1000倍の範囲。圧力は概略0.1Pa～133Paの範囲、電源周波数は1MHz～120MHz、好ましくは13MHz～60MHz。基板加熱温度は300℃以下でよい。膜中の不純物元素として、酸素、窒素、炭素などの大気成分の不純物は $1 \times 10^{20} \text{ atoms/cm}^3$ 以下とすることが望ましく、特に、酸素濃度

は 5×10^{19} atoms/cm³ 以下、好ましくは 1×10^{19} atoms/cm³ 以下とする。

【0034】

図1は、走査線及び信号線へ入力する信号を、外付けの駆動回路により制御するEL表示パネルの構成を示しているが、図2に示すように、COG(Chip on Glass)によりドライバICを基板100上に実装しても良い。ドライバICは単結晶半導体基板に形成されたものでも良いし、ガラス基板上にTFTで回路を形成したものであっても良い。

【0035】

また、画素に設けるTFTをSASで形成する場合には、図3に示すように走査線側駆動回路107を基板100上に形成し一体化することも出来る。

【0036】

パターンの形成に用いる液滴吐出装置の一態様は図25に示されている。液滴吐出手段1403の個々のヘッド1405は制御手段1407に接続され、それがコンピュータ1410で制御することにより予めプログラミングされたパターンを描画することができる。描画するタイミングは、例えば、基板1400上に形成されたマーカー1411を基準に行えば良い。或いは、基板1400の縁を基準にして基準点を確定させても良い。これをCCDなどの撮像手段1404で検出し、画像処理手段1409にてデジタル信号に変換したものをコンピュータ1410で認識して制御信号を発生させて制御手段1407に送る。勿論、基板1400上に形成されるべきパターンの情報は記憶媒体1408に格納されたものであり、この情報を基にして制御手段1407に制御信号を送り、液滴吐出手段1403の個々のヘッド1405を個別に制御することができる。現状、ELのように一つのインクジェットヘッドでRGBをそれぞれ吐出するように、一つのヘッドでメタル、有機、無機を別々に吐出できるような装置を検討している。そこで、層間絶縁膜を広範囲に吐出する場合、スループットを向上のため、同じ材料を使って細い線を多重に引いても良い。これは、図25では、液滴吐出手段1403の個々のヘッド1405の並んだ距離が基板の幅と一致しているが、液滴吐出手段1403の個々のヘッド1405の並んだ距離より大きな幅を持つ大型基板にも繰り返し走査することでパターンの形成可能な液滴吐出装置である。

【0037】

次に、このような液滴吐出装置を用いたEL表示パネルの作製工程について、以下に説明する。

【0038】

(第1の実施の形態)

第1の実施の形態として、チャネル保護型のTFTの作製方法について説明する。

【0039】

図4(A)は、基板100上にゲート電極層と、ゲート電極層と接続するゲート配線層を液滴吐出法で形成する工程を示している。なお、図4(A)は縦断面構造を模式的に示し、A-B及びC-D及びE-Fに対応する平面構造を図8に示すので同時に参照することが出来る。

【0040】

基板100は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス若しくはアルミニシリケートガラスなど、フェージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることができる。また、単結晶シリコンなどの半導体基板、ステンレスなどの金属基板の表面に絶縁層を設けた基板を適用しても良い。

【0041】

基板100上には、スパッタリング法や蒸着法、液滴吐出法などの方法により、Ti(チタン)、W(タンゲステン)、Cr(クロム)、Ta(タンタル)、Ni(ニッケル)、Mo(モリブデン)などの金属材料若しくはその酸化物、あるいは光触媒などで形成される下地層201を形成することが好ましい。下地層201は0.01~10nmの厚さ

で形成すれば良いが、極薄く形成すれば良いので、必ずしも層構造を持っていなくても良い。なお、この下地層201は、ゲート電極層を密着性良く形成するために設けるものであり、十分な密着性が得られるのであれば、これを省略して基板100上にゲート電極層を液滴吐出法により直接形成しても良い。その他、大気圧プラズマ処理などを行っても良い。また、この工程に限らず、有機層、無機層、メタル層などの層上に、液滴吐出法により導電性層を形成する場合若しくは液滴吐出法により形成された導電性層上有機層、無機層、メタル層などを形成する場合には、導電性層との密着性向上のために同様の処理を行うと良い。

[0 0 4 2]

下地層 201 上に、導電性材料を含む組成物を液滴吐出法にいより吐出して、ゲート配線層 202、ゲート電極層 203、ゲート電極層 204 を形成する。これらの層を形成する導電性材料としては、Ag (銀)、Au (金)、Cu (銅))、W (タンゲステン)、Al (アルミニウム) 等の金属の粒子を主成分とした組成物を用いることができる。その他、Ag をコーティングした Cu 粒子若しくはそのバッファ層に Ni (ニッケル) あるいは NiB (ニッケルボロン) を用いた粒子を主成分とした組成物でも良い。特に、ゲート配線層は、低抵抗化することが好ましのいで、比抵抗値を考慮して、金、銀、銅のいずれかの材料を溶媒に溶解又は分散させたものを用いることが好適であり、より好適には、低抵抗な銀、銅を用いるとよい。若しくは、銀と銅の積層でも良い。また、銀は高価であるが、極めて細く吐出した銀を銅メッキで太くしても良い。吐出した銀の表面はざらざらのメッシュ状態で、極めて細く吐出した銀を銅メッキで太くしても良い。吐出した銀の表面はざらざらのメッシュ状態で、メッシュ加工がし易く、メッキの方法としては、メッキ液層に浸けるあるいはメッキ液を流しかけるなどが考えられる。但し、銀、銅を用いる場合には、不純物対策のため、合わせてバリア層を設けるとよい。バリア層として窒化珪素膜だけでなく、NiB (ニッケルボロン) も使える。ニッケルボロンによって表面の滑らかにすることもできる。溶媒は、酢酸プチル等のエステル類、イソプロピルアルコール等のアルコール類、アセトン等の有機溶剤等に相当する。表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

[0043]

液滴吐出法において用いるノズルの径は、 $0.02\text{--}100\mu\text{m}$ （好適には $30\mu\text{m}$ 以下）に設定し、該ノズルから吐出される組成物の吐出量は $0.001\text{p}_1\text{--}100\text{p}_1$ （好適には 10p_1 以下）に設定することが好ましい。液滴吐出法には、オンデマンド型とコンティニュアス型の2つの方式があるが、どちらの方式を用いてもよい。さらに液滴吐出法において用いるノズルには、圧電体の電圧印加により変形する性質を利用した圧電方式、ノズル内に設けられたヒータにより組成物を沸騰させ該組成物を吐出する加熱方式があるが、そのどちらの方式を用いてもよい。被処理物とノズルの吐出口との距離は、所望の箇所に滴下するために、出来る限り近づけておくことが好ましく、好適には $0.1\text{--}3\text{mm}$ （好適には 1mm 以下）程度に設定する。ノズルと被処理物は、その相対的な距離を保ちながら、ノズル及び被処理物の一方が移動して、所望のパターンを描画する。また、組成物を吐出する前に、被処理物の表面にプラズマ処理を施してもよい。これは、プラズマ処理を施すと、被処理物の表面が親水性になったり、疎水性になったりすることを活用するためである。例えば、純水に対しては親水性になり、アルコールを溶媒したペーストに対しては疎水性になる。

[0044]

～350度)とする。本工程により、組成物中の溶媒の揮発又は化学的に分散剤を除去し、周囲の樹脂が硬化収縮することで、融合と融着を加速する。雰囲気は、酸素雰囲気、窒素雰囲気又は空気で行う。但し、金属元素を分解又は分散している溶媒が除去されやすい酸素雰囲気下で行なうことが好適である。

【0045】

レーザ光の照射は、連続発振またはパルス発振の気体レーザ又は固体レーザを用いれば良い。前者の気体レーザとしては、エキシマレーザ、YAGレーザ等が挙げられ、後者の固体レーザとしては、Cr、Nd等がドーピングされたYAG、YVO₄等の結晶を使つたレーザ等が挙げられる。なお、レーザ光の吸収率の関係から、連続発振のレーザを用いることが好ましい。また、パルス発振と連続発振を組み合わせた所謂ハイブリッドのレーザ照射方法を用いてもよい。但し、基板の耐熱性に依っては、レーザ光の照射による加熱処理は、数マイクロ秒から数十秒の間で瞬間に行なうとよい。瞬間熱アニール(RTA)は、不活性ガスの雰囲気下で、紫外光乃至赤外光を照射する赤外ランプやハロゲンランプなどを用いて、急激に温度を上昇させ、数マイクロ秒から数分の間で瞬間に熱を加えて行なう。この処理は瞬間的に行なうために、実質的に最表面の薄膜のみを加熱することができ、下層の膜には影響を与えないという利点がある。

【0046】

ゲート配線層202、ゲート電極層203、ゲート電極層204を形成した後、表面に露出している下地層201の処理として、下記の2つの工程のうちどちらかの工程を行なうことが望ましい。

【0047】

第一の方法としては、ゲート配線層202、ゲート電極層203、ゲート電極層204と重ならない下地層201を絶縁化して、絶縁体層205を形成する工程である(図4(B)参照。)。つまり、ゲート配線層202、ゲート電極層203、ゲート電極層204と重ならない下地層201を酸化して絶縁化する。このように、下地層201を酸化して絶縁化する場合には、当該下地層201を0.01～10nmの厚さで形成しておくことが好適であり、そうすると容易に酸化させることができる。なお、酸化する方法としては、酸素雰囲気下に晒す方法を用いてもよいし、熱処理を行う方法を用いてもよい。

【0048】

第2の方法としては、ゲート配線層202、ゲート電極層203、ゲート電極層204をマスクとして、下地層201をエッティングして除去する工程である。この工程を用いる場合には下地層201の厚さに制約はない。

【0049】

次に、プラズマCVD法やスパッタリング法を用いて、ゲート絶縁層206を単層又は積層構造で形成する(図4(C)参照。)。特に好ましい形態としては、窒化珪素からなる絶縁体層207、酸化珪素からなる絶縁体層208、窒化珪素からなる絶縁体層209の3層の積層体をゲート絶縁層として構成させる。なお、低い成膜温度でゲートリーク電流に少ない緻密な絶縁層を形成するには、アルゴンなどの希ガス元素を反応ガスに含ませ、形成される絶縁層中に混入させると良い。ゲート配線層202、ゲート電極層203、ゲート電極層204に接する第1の層を窒化珪素若しくは窒化酸化珪素で形成することで、酸化による劣化を防止することができる。また、ゲート配線層202、ゲート電極層203、ゲート電極層204に接する第1の層にNiB(ニッケルボロン)を用いることで表面を滑らかにすることもできる。

【0050】

次に、半導体層210を形成する。半導体層210は、シリコンやゲルマンに代表される半導体材料ガスを用いて気相成長法やスパッタリング法で作製されるAS、或いはSASで形成する。気相成長法としては、プラズマCVD法や熱CVD法を用いることができる。

【0051】

プラズマCVD法を用いる場合、ASは半導体材料ガスであるSiH₄若しくはSiH₄

とH₂の混合気体を用いて形成する。SASは、SiH₄をH₂で3倍～1000倍に希釈して混合気体、若しくはSi₂H₆とGeF₄のガス流量比をSi₂H₆対GeF₄を20～40対0.9で希釈すると、Siの組成比が80%以上であるSASを得ることができる。特に、後者の場合は下地との界面から結晶性を半導体層210に持たせることが出来るため好ましい。

【0052】

半導体層210上には、ゲート電極層203及び204と相対する位置に、組成物を選択的に吐出して、マスク層211を形成する。マスク層211は、エポキシ樹脂、アクリル樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料を用いる。また、ベンゾシクロブテン、パリレン、フレア、透過性を有するポリイミドなどの有機材料、シロキサン系ポリマー等の重合によってできた化合物材料、水溶性ホモポリマーと水溶性共重合体を含む組成物材料等を用いて液滴吐出法で形成する。或いは、感光剤を含む市販のレジスト材料を用いてもよく、例えば、代表的なポジ型レジストである、ノボラック樹脂と感光剤であるナフトキノンジアジド化合物、ネガ型レジストであるベース樹脂、ジフェニルシランジオール及び酸発生剤などを用いてもよい。いずれの材料を用いるとしても、その表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

【0053】

マスク層211を利用して、ゲート絶縁層206、半導体層210をエッティングする（図5（A）参照。）。

その結果、半導体層の端は、ゲート絶縁層の端を越えないように設けられることになる。また半導体層の端は、ゲート絶縁層の端と一致するように設けられていると表記することもできる。エッティング加工はプラズマエッティング又はウエットエッティングのどちらを採用しても良いが、大面積基板を処理するにはプラズマエッティングが適している。エッティングガスとしては、CF₄、NF₃、C₁₂、BC₁₃、などのフッ素系又は塩素系のガスを用い、HeやArなどを適宜加えても良い。また、大気圧放電のエッティング加工を適用すれば、局所的な放電加工も可能である。続いて、マスク層211を除去して、半導体層210上に、保護層212を液滴吐出法で形成する。保護層212は絶縁層であり、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸窒化アルミニウムその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド(polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール(polybenzimidazole)などの耐熱性高分子、又はシロキサン系材料を出発材料として形成された珪素、酸素、水素からなる化合物のうちSi-O-Si結合を含む無機シロキサン、珪素上の水素がメチルやフェニルのような有機基によって置換された有機シロキサン系の絶縁材料で形成することができる。アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成すると、その側面は曲率半径が連続的に変化する形状となり、上層の薄膜が段切れせずに形成されるため好ましい。この保護層は、界面の清浄性を確保して、有機物や金属物、水蒸気などの不純物で半導体層210が汚染されることを防ぐ効果がある。また、層間層としての役割もある。

【0054】

次のような方法で保護層212を形成してもよい。まず、半導体層210上に酸化珪素、窒化珪素、酸化窒化珪素などの絶縁層をプラズマCVD法などで形成する。続いて、保護層212を液滴吐出法で形成し、前記保護層212をマスクとして利用し、エッティング加工を行う。これにより、保護層212の下には絶縁層が存在することになり、シロキサン系材料などと絶縁層とが積層された保護層を形成することができる。

【0055】

次に、n型の半導体層213を形成する。n型の半導体層213は、シランガスとオスフィンガスを用いて形成すれば良く、AS若しくはSASで形成することができる。続いて、導電性材料を含む組成物を選択的に吐出して、ソース及びドレイン配線層214を液滴吐出法で形成する（図5（A）参照。）。この配線層を形成する導電性材料としては

、Ag（銀）、Au（金）、Cu（銅）、W（タンゲステン）、Al（アルミニウム）等の金属の粒子を主成分とした組成物を用いることができる。銀と銅の積層などでも良い。また、透光性を有するインジウム錫酸化物（ITO）、インジウム錫酸化物と酸化珪素か有機インジウム、有機スズ、酸化亜鉛、窒化チタンなどを組み合わせてらなるITO、有機インジウム、有機スズ、酸化亜鉛、窒化チタンなどを組み合わせても良い。

【0056】

次に、ソース及びドレイン配線層214をマスクとして、n型の半導体層213をエッチングして、ソース及びドレイン領域を形成するn型の半導体層215、216を形成する（図5（B）参照。）。エッチング加工はプラズマエッチング又はウエットエッチングのどちらを採用しても良いが、大面積基板を処理するにはプラズマエッチングが適している。エッチングガスとしては、CF₄、NF₃、Cl₂、BCl₃、などのフッ素系又は塩素系のガスを用い、HeやArなどを適宜加えても良い。また、大気圧放電のエッチング加工を適用すれば、局所的な放電加工も可能である。その後、全面に窒化珪素若しくは窒化珪素のパッシベーション層217を形成する。

【0057】

次に、液滴吐出法によりソース及びドレイン配線層214と電気的に接続する部分を除く全領域に層間層218を形成する（図6（A）参照。）。他の方法として、液滴吐出法によりソース及びドレイン配線層214と電気的に接続する部分を除く配線部分のみに層間層218を形成しても良い。この層間層は絶縁層であり、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸窒化アルミニウムその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド(polyimide)材料、又は芳香族ポリアミド、ポリベンゾイミダゾール(polybenzimidazole)などの耐熱性高分子、又はシロキサン系材料を出発材料として形成された珪素、酸素、水素からなる化合物のうちSi—O—Si結合を含む無機シロキサン、珪素上の水素がメチルやフェニルのような有機基によって置換された有機シロキサン系の絶縁材料で形成することができる。アクアリル、ポリイミド等の感光性、非感光性の材料を用いて形成すると、その側面は曲率半径が連続的に変化する形状となり、上層の薄膜が段切れせずに形成されるため好ましい。

【0058】

次いで、層間層218をマスクとして、エッチング加工によりパッシベーション層217の一部に貫通孔219を形成して、その下層側に配置されているソース及びドレイン配線層214一部を露出させる。エッチング加工はプラズマエッチング又はウエットエッチングのどちらを採用しても良いが、大面積基板を処理するにはプラズマエッチングが適している。エッチングガスとしては、CF₄、NF₃、Cl₂、BCl₃、などのフッ素系又は塩素系のガスを用い、HeやArなどを適宜加えても良い。また、大気圧放電のエッチング加工を適用すれば、局所的な放電加工も可能であり、基板の全面にマスク層が必要にはならない。

【0059】

ここで、もう一つの方法として、層間層218をスピンドルコート法やディップ法により基板全面に形成し、その後、エッチング加工等により貫通孔219を形成する。また、この貫通孔219を形成する方法として、次のような工程を用いても良い。まず、層間層218を形成する前に基板全面にフルオロアルキルシラン等のフッ素系カップリング剤、CH₂F₃等のフッ素を含む有機材料等の撥液処理剤をコーティングし撥液処理を行う。続いて貫通孔を形成したい場所にマスク材料を塗布し、O₂アッシング等の処理を行うことにより、マスクを形成した場所以外の撥液剤を除去する。次に、マスクを除去し、層間層218をスピンドルコート法やディップ法、若しくは液滴吐出法によって基板全面に塗布する。撥液処理がされている部分には、層間層218が形成されないため、そのまま形成された層間層218をマスクとして貫通孔219を形成する。なお、撥液処理剤をコーティングする際に、液滴吐出装置を使用して貫通孔部分のみに選択的に撥液処理剤を塗布すれば、上記マスク形成、撥液剤除去、及びマスク除去の工程は不要となる。

【0060】

次に、ソース及びドレイン配線層214と電気的に接続するように、第1電極220を形成する。第1電極220は、スパッタリング法によりインジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛(ZnO)などで形成する。好ましくは、ITOに酸化珪素が2~10重量%含まれたターゲットを用いてスパッタリング法で酸化珪素を含む酸化インジウムスズを用いる。この他、酸化珪素を含み酸化インジウムに2~20%の酸化亜鉛(ZnO)を混合した酸化物導電性材料を用いても良い。

【0061】

第1電極220上に、組成物を選択的に吐出して、マスク層221を形成する。マスク層221は、エポキシ樹脂、アクリル樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料を用いる。また、ベンゾシクロブテン、パリレン、フレア、透過性を有するポリイミドなどの有機材料、シロキサン系ポリマー等を用いて液滴吐出法で形成する。或いは、感光剤を含む市販のレジスト材料を用いて料等を用いて液滴吐出法で形成する。ノボラック樹脂と感光剤であるナフトもよく、例えば、代表的なポジ型レジストである、ノボラック樹脂と感光剤であるナフトキノンジアジド化合物、ネガ型レジストであるベース樹脂、ジフェニルシランジオール及び酸発生剤などを用いてもよい。いずれの材料を用いるとしても、その表面張力と粘度は溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

【0062】

マスク層221を利用して、第1電極220をエッチング加工し、その後、マスク層221を除去する(図6(D)参照)。エッチング加工はプラズマエッチング又はウエットエッチングのどちらを採用しても良いが、大面積基板を処理するにはプラズマエッチングが適している。エッチングガスとしては、CF₄、NF₃、Cl₂、BCl₃、などのフッ素ガスを用い、HeやArなどを適宜加えても良い。また、大気圧放電の素系又は塩素系のガスを用い、HeやArなどを適宜加えても良い。また、大気圧放電のエッチング加工を適用すれば、局所的な放電加工も可能である。

【0063】

この第1電極220は、液滴吐出法を用いて、ソース及びドレイン配線層214と電気的に接続するように、導電性材料を含む組成物を選択的に吐出して、画素電極に相当する第1電極220を形成しても良い。第1電極220は、透過型のEL表示パネルを作製する場合には、インジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛(ZnO)、酸化スズ(SnO₂)などを含む組成物により所定のパターンを形成し、焼成によって画素電極を形成しても良い。また、発光した光を基板100側とは反対側に放射させる構造とする場合には、反射型のEL表示パネルを作製する場合には、Ag(銀)、Au(金)、Cu(銅)、W(タンクステン)、Al(アルミニウム)等の金属の粒子を主成分とした組成物を用いることができる。

【0064】

次に、エッチングされた第1電極の端を覆うように、液滴吐出法で絶縁層222を形成する。この絶縁層222は、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸窒化アルミニウムその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド(polyimide)、芳香族ポリアミド、ポリベンゼンイミダゾール(polybenzimidazole)などの耐熱性高分子、又はシロキサン系材料を出発材料として形成された珪素、酸素、水素からなる化合物のうちSi-O-Si結合を含む無機シロキサン、珪素上の水素がメチルやフェニルのような有機基によって置換された有機シロキサン系の絶縁材料で形成することができる。アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成すると、その側面は曲率半径が連続的に変化する形状となり、上層の薄膜が段切れせずに形成されるため好ましい。また、絶縁層222は、スピンドルコート法やディップ法により全面に絶縁層を形成した後、エッチング加工によってパターンを形成することも可能である。

【0065】

以上の工程により、基板100上にポトムゲート型(逆スタガ型ともいう。)のTFTと第1電極層が接続されたEL表示パネル用のTFT基板が完成する。

[0 0 6 6]

EL層223を形成する前に、大気圧中で200℃の熱処理を行い絶縁層222中若しくはその表面に吸着している水分を除去する。また、減圧下で200~400℃、好ましくは250~350℃に熱処理を行い、そのまま大気に晒さずにEL層223を真空蒸着法や、減圧下の液滴吐出法で形成することが好ましい。

[0067]

第1電極220の表面を酸素プラズマに晒したり、紫外線光を照射して、表面処理を加えてても良い。次に、スパッタリング法や液滴吐出法などにより第2電極224をEL層23上に形成して発光素子が形成される。この発光素子は駆動用TFT10000と接続された構造となる。

[0068]

(0069)

以上示したように、本実施の形態では、フォトマスクを利用した光露光工程を用いないことにより、工程を省略することができる。また、液滴吐出法を用いて基板上に直接的に各種のパターンを形成することにより、1辺が1000mmを超える第5世代以降のガラス基板を用いても、容易にEL表示パネルを製造することができる。

【0070】

(第2の実施の形態) 二、化粧方法について説明する

第2の実施形態として、チャネルエッチ型のTFTの作製方法について説明する。

第2章実施
[0071]

[0072]

半導体層 210 上に、n 型の半導体層 301 を形成する。続いて、半導体層 301 上に導電性材料を含む組成物を選択的に吐出して、ソース及びドレイン配線層 302 を液滴吐出法で形成する。次に、ソース及びドレイン配線層 302 をマスクとして、n 型の半導体層 301 をエッチングして、ソース及びドレイン領域を形成する p 型の半導体層を形成する（図 7 参照。）。エッチング加工はプラズマエッチング又はウエットエッチングのどちらを採用しても良いが、大面積基板を処理するにはプラズマエッチングが適している。ガスを用い、He や Arなどを適宜加えても良い。また、大気圧放電のエッチング加工を適用すれば、局所的な放電加工も可能である。

[0073]

以降の工程は第1の実施の形態と同様である。

〔10074〕

(第3の実施の形態)

第3の実施の形態として、下地層上に第1の電極を形成するチャネル保護型のTFTの作製方法について説明する。

【0075】

図9（A）は、基板100上に第1電極を形成する工程を示している。図9（B）は、ゲート電極層と、ゲート電極層と接続するゲート配線層を液滴吐出法で形成する工程を示している。なお、図9（A）は縦断面構造を模式的に示し、A-B及びC-D及びE-Fに対応する平面構造を図13に示すので同時に参照することが出来る。

【0076】

基板100は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス若しくはアルミニシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることができる。また、単結晶シリコンなどの半導体基板、ステンレスなどの金属基板の表面に絶縁層を設けた基板を適用しても良い。

【0077】

基板100上には、スパッタリング法や蒸着法、液滴吐出法などの方法により、Ti（チタン）、W（タンゲステン）、Cr（クロム）、Ta（タンタル）、Ni（ニッケル）、Mo（モリブデン）などの金属材料若しくはその酸化物、あるいは光触媒などで形成される下地層401を形成することが好ましい。下地層401は0.01～10nmの厚さで形成すれば良いが、極薄く形成すれば良いので、必ずしも層構造を持っていなくても良い。なお、この下地層401は、電極層を密着性良く形成するために設けるものであり、十分な密着性が得られるのであれば、これを省略して基板100上に電極層を液滴吐出法により直接形成しても良い。その他、大気圧プラズマ処理などを行っても良い。また、この工程に限らず、有機層、無機層、メタル層などの層上に、液滴吐出法により導電性層を形成する場合若しくは液滴吐出法により形成された導電性層上有機層、無機層、メタル層などを形成する場合には、導電性層との密着性向上のために同様の処理を行うと良い。

【0078】

下地層401上に、第1電極402を形成する。第1電極402は、スパッタリング法によりインジウム錫酸化物（ITO）、酸化珪素を含むインジウム錫酸化物（ITSO）、酸化亜鉛（ZnO）などで形成する。好ましくは、ITOに酸化珪素が2～10重量%含まれたターゲットを用いてスパッタリング法で酸化珪素を含む酸化インジウムスズを用いる。その他、酸化珪素を含み酸化インジウムに2～20%の酸化亜鉛（ZnO）を混合した酸化物導電性材料を用いても良い。

【0079】

第1電極402上に、組成物を選択的に吐出して、マスク層403を形成する。マスク層403は、エポキシ樹脂、アクリル樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料を用いる。また、ベンゾシクロブテン、パリレン、フレア、透過性を有するポリイミドなどの有機材料、シロキサン系ポリマー等の重合によってできた化合物材料、水溶性ホモポリマーと水溶性共重合体を含む組成物材料等を用いて液滴吐出法で形成する。或いは、感光剤を含む市販のレジスト材料を用いてもよく、例えば、代表的なポジ型レジストである、ノボラック樹脂と感光剤であるナフトキノンジアジド化合物、ネガ型レジストであるベース樹脂、ジフェニルシランジオール及び酸発生剤などを用いてもよい。いずれの材料を用いるとしても、その表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

【0080】

マスク層403を利用して、第1電極402をエッチング加工し、その後、マスク層403を除去する（図9（A）参照。）。エッチング加工はプラズマエッチング又はウエットエッチングのどちらを採用しても良いが、大面積基板を処理するにはプラズマエッチングが適している。エッチングガスとしては、CF₄、NF₃、Cl₂、BCl₃、などのフッ素系又は塩素系のガスを用い、HeやArなどを適宜加えても良い。また、大気圧放電のエッチング加工を適用すれば、局所的な放電加工も可能である。

[0081]

この第1電極402は、液滴吐出法を用いて、導電性材料を含む組成物を選択的に吐出して形成しても良い。第1電極402は、透過型のEL表示パネルを作製する場合には、インジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛(ZnO)、酸化スズ(SnO₂)などを含む組成物により所定のパターンを形成し、焼成によって画素電極を形成しても良い。また、発光した光を基板100側とは反対側に放射させる構造とする場合には、反射型のEL表示パネルを作製する場合には、Ag(銀)、Au(金)、Cu(銅)、W(タンゲステン)、Al(アルミニウム)等の金属の粒子を主成分とした組成物を用いることができる。

[0082]

〔 6 6 6 2 〕 次に、導電性材料を含む組成物を液滴吐出法により吐出して、ゲート配線層 404、ゲート電極層 405、ゲート電極層 406、ゲート配線層 407 を形成する。これらの層を形成する導電性材料としては、Ag(銀)、Au(金)、Cu(銅)、W(タンゲステン)、Al(アルミニウム)等の金属の粒子を主成分とした組成物を用いることができる。特に、ゲート配線層は、低抵抗化することが好ましいので、比抵抗値を考慮して、金、銀、銅のいずれかの材料を溶媒に溶解又は分散させたものを用いることが好適であり、より好適には、低抵抗な銀、銅を用いるとよい。若しくは、銀と銅の積層でも良い。また、銀は高価であるので、極めて細く吐出した銀を銅メッキで太くしても良い。吐出した銀の表面はざらざらしているのでメッキ加工がしやすい。メッキの方法としては、メッキ液層に浸けるあるいはメッキ液を流しかけるなどが考えられる。但し、銀、銅を用いる場合には、不純物対策のため、合わせてバリア層を設けるとよい。バリア層として窒化珪素膜だけでなく、NiB(ニッケルボロン)も使える。ニッケルボロンによって表面の滑らかにすることもできる。溶媒は、酢酸ブチル等のエステル類、イソプロピルアルコール等のアルコール類、アセトン等の有機溶剤等に相当する。表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

[0083]

液滴吐出法において用いるノズルの径は、 $0.02 \sim 100 \mu\text{m}$ （好適には $30 \mu\text{m}$ 以下）に設定し、該ノズルから吐出される組成物の吐出量は $0.001 \text{ p l} \sim 100 \text{ p l}$ （好適には 10 p l 以下）に設定することが好ましい。液滴吐出法には、オンデマンド型（好適には 10 p l 以下）に設定することが好ましい。さらに液滴とコンティニュアス型の2つの方式があるが、どちらの方式を用いてもよい。さらに液滴吐出法において用いるノズルには、圧電体の電圧印加により変形する性質を利用した圧電方式、ノズル内に設けられたヒータにより組成物を沸騰させ該組成物を吐出する加熱方式、ノズル内に設けられたヒータにより組成物を沸騰させ該組成物を吐出する加熱方式があるが、そのどちらの方式を用いてもよい。被処理物とノズルの吐出口との距離は、所があるが、そのどちらの方式を用いてもよい。被処理物とノズルの吐出口との距離は、所望の箇所に滴下するために、出来る限り近づけておくことが好ましく、好適には $0.1 \sim 3 \text{ mm}$ （好適には 1 mm 以下）程度に設定する。ノズルと被処理物は、その相対的な距離を保ちながら、ノズル及び被処理物の一方が移動して、所望のパターンを描画する。また、組成物を吐出する前に、被処理物の表面にプラズマ処理を施してもよい。これは、プラズマ処理を施すと、被処理物の表面が親水性になったり、疎水性になったりすることを活用するためである。例えば、純水に対しては親水性になり、アルコールを溶媒したベーストに対しては疎水性になる。

[0084]

組成物を吐出する工程は、減圧下で行っても良い。これは、組成物を吐出して被処理物に着弾するまでの間に、該組成物の溶媒が揮発し、後の乾燥と焼成の工程を省略又は短くすることができるためである。組成物の吐出後は、常圧下又は減圧下で、レーザ光の照射や瞬間熱アニール、加熱炉等により、乾燥と焼成の一方又は両方の工程を行う。乾燥と焼成の工程は、両工程とも加熱処理の工程であるが、例えば、乾燥は100度で3分間、焼成は200~350度で15分間~120分間で行うもので、その目的、温度と時間が異なるものである。乾燥と焼成の工程を良好に行うためには、基板を加熱しておいてもよくなるものである。乾燥と焼成の工程は、基板等の材質に依存するが、100~800度(好ましくは200~350度)とする。本工程により、組成物中の溶媒の揮発又は化学的に分散剤を除去し

、周囲の樹脂が硬化収縮することで、融合と融着を加速する。雰囲気は、酸素雰囲気、窒素雰囲気又は空気で行う。但し、金属元素を分解又は分散している溶媒が除去されやすい酸素雰囲気下で行なうことが好適である。

【0085】

レーザ光の照射は、連続発振またはパルス発振の気体レーザ又は固体レーザを用いれば良い。前者の気体レーザとしては、エキシマレーザ、YAGレーザ等が挙げられ、後者の固体レーザとしては、Cr、Nd等がドーピングされたYAG、YVO₄等の結晶を使つたレーザ等が挙げられる。なお、レーザ光の吸収率の関係から、連続発振のレーザを用いることが好ましい。また、パルス発振と連続発振を組み合わせた所謂ハイブリッドのレーザ照射方法を用いてもよい。但し、基板の耐熱性に依つては、レーザ光の照射による加熱処理は、数マイクロ秒から数十秒の間で瞬間に行なうとよい。瞬間熱アニール(R T A)は、不活性ガスの雰囲気下で、紫外光乃至赤外光を照射する赤外ランプやハロゲンランプなどを用いて、急激に温度を上昇させ、数マイクロ秒から数分の間で瞬間に熱を加えて行なう。この処理は瞬間的に行なうために、実質的に最表面の薄膜のみを加熱することができ、下層の膜には影響を与えないという利点がある。

【0086】

ゲート配線層404、ゲート電極層405、ゲート電極層406、ゲート配線層407を形成した後、表面に露出している下地層401の処理として、下記の2つの工程のうちどちらかの工程を行なうことが望ましい。

【0087】

第一の方法としては、ゲート配線層404、ゲート電極層405、ゲート電極層406、ゲート配線層407と重ならない下地層401を絶縁化して、絶縁体層408を形成する工程である(図9(B)参照。)。つまり、ゲート配線層404、ゲート電極層405、ゲート電極層406と重ならない下地層401を酸化して絶縁化する。このように、下地層401を酸化して絶縁化する場合には、当該下地層401を0.01~10nmの厚さで形成しておくことが好適であり、そうすると容易に酸化させることができる。なお、酸化する方法としては、酸素雰囲気下に晒す方法を用いてもよいし、熱処理を行う方法を用いてもよい。

【0088】

第2の方法としては、ゲート配線層404、ゲート電極層405、ゲート電極層406、ゲート配線層407をマスクとして、下地層401をエッティングして除去する工程である。この工程を用いる場合には下地層401の厚さに制約はない。

【0089】

次に、プラズマCVD法やスパッタリング法を用いて、ゲート絶縁層409を単層又は積層構造で形成する(図9(C)参照。)。特に好ましい形態としては、窒化珪素からなる絶縁体層410、酸化珪素からなる絶縁体層411、窒化珪素からなる絶縁体層412の3層の積層体をゲート絶縁層として構成させる。なお、低い成膜温度でゲートリーク電流に少ない緻密な絶縁層を形成するには、アルゴンなどの希ガス元素を反応ガスに含ませ、形成される絶縁層中に混入させると良い。ゲート配線層404、ゲート電極層405、ゲート電極層406、ゲート配線層407に接する第1の層を窒化珪素若しくは窒化酸化珪素で形成することで、酸化による劣化を防止することができる。また、ゲート配線層202、ゲート電極層203、ゲート電極層204に接する第1の層にNiB(ニッケルボロン)を用いることで表面を滑らかにすることもできる。

【0090】

次に、半導体層413を形成する。半導体層413は、シリコンやゲルマンに代表される半導体材料ガスを用いて気相成長法やスパッタリング法で作製されるAS、或いはSASで形成する。気相成長法としては、プラズマCVD法や熱CVD法を用いることができる。

【0091】

プラズマCVD法を用いる場合、ASは半導体材料ガスであるSiH₄若しくはSiH₄

とH₂の混合気体を用いて形成する。SASは、SiH₄をH₂で3倍～1000倍に希釈して混合気体、若しくはSi₂H₆とGeF₄のガス流量比をSi₂H₆対GeF₄を20～40対0.9で希釈すると、Siの組成比が80%以上であるSASを得ることができる。特に、後者の場合は下地との界面から結晶性を半導体層413に持たせることが出来るため好ましい。

【0092】

半導体層413上には、ゲート電極層405及び406と相対する位置に、組成物を選択的に吐出して、マスク層414を形成する。マスク層414は、エポキシ樹脂、アクリル樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料を用いる。また、ベンゾシクロブテン、パリレン、フレア、透過性を有するポリイミドなどの有機材料、シロキサン系ポリマー等の重合によってできた化合物材料、水溶性ホモポリマーと水溶性共重合体を含む組成物材料等を用いて液滴吐出法で形成する。或いは、感光剤を含む市販のレジスト材料を用いてもよく、例えば、代表的なポジ型レジストである、ノボラック樹脂と感光剤であるナフトキノンジアジド化合物、ネガ型レジストであるベース樹脂、ジフェニルシランジオール及び酸発生剤などを用いてもよい。いずれの材料を用いるとしても、その表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

【0093】

マスク層414を利用して、ゲート絶縁層409、半導体層413をエッティングする（図9（D）参照。）。エッティング加工はプラズマエッティング又はウエットエッティングのどちらを採用しても良いが、大面積基板を処理するにはプラズマエッティングが適している。エッティングガスとしては、CF₄、NF₃、Cl₂、BCl₃、などのフッ素系又は塩素系のガスを用い、HeやArなどを適宜加えても良い。また、大気圧放電のエッティング加工を適用すれば、局所的な放電加工も可能である。マスク層414を除去して、半導体層413上に、保護層415を液滴吐出法で形成する。この保護層は、界面の清浄性を確保して、有機物や金属物、水蒸気などの不純物で半導体層413が汚染されることを防ぐ効果がある。続いて、マスク層414を除去して、半導体層413上に、保護層415を液滴吐出法で形成する。この保護層は、界面の清浄性を確保して、有機物や金属物、水蒸気などの不純物で半導体層413が汚染されることを防ぐ効果がある。また、層間層としての役割もある。

【0094】

次に、n型の半導体層416を形成する。n型の半導体層416は、シランガスとオスフインガスを用いて形成すれば良く、AS若しくはSASで形成することができる。続いて、導電性材料を含む組成物を選択的に吐出して、ソース及びドレイン配線層417を液滴吐出法で形成する（図10（B）参照。）。この配線層を形成する導電性材料としては、Ag（銀）、Au（金）、Cu（銅）、W（タンクスチタン）、Al（アルミニウム）等の金属の粒子を主成分とした組成物を用いることができる。銀と銅の積層などでも良い。また、透光性を有するインジウム錫酸化物（ITO）、インジウム錫酸化物と酸化珪素からなるITSO、有機インジウム、有機スズ、酸化亜鉛、窒化チタンなどを組み合わせても良い。

【0095】

次に、ソース及びドレイン配線層417をマスクとして、n型の半導体層416をエッティングして、ソース及びドレイン領域を形成するn型の半導体層418、419を形成する（図10（C）参照。）。その後、全面に窒化珪素若しくは窒化酸化珪素のパッシベーション層420を形成する。

【0096】

次に、液滴吐出法により発光領域を除く全領域に層間層421を形成する（図11（A）参照。）。この層間層は絶縁層であり、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸窒化アルミニウムその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド(polyimide)、芳香族ポリアミ

ド、ポリベンゾイミダゾール(polybenzimidazole)などの耐熱性高分子、又はシロキサン系材料を出発材料として形成された珪素、酸素、水素からなる化合物のうちSi-O-Si結合を含む無機シロキサン、珪素上の水素がメチルやフェニルのような有機基によって置換された有機シロキサン系の絶縁材料で形成することができる。アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成すると、その側面は曲率半径が連続的に変化する形状となり、上層の薄膜が段切れせずに形成されるため好ましい。

【0097】

次いで、層間層421をマスクとして、発光領域のパッシベーション層420をエッチングする。エッチング加工はプラズマエッチング又はウエットエッチングのどちらを採用しても良いが、大面積基板を処理するにはプラズマエッチングが適している。エッチングガスとしては、CF₄、NF₃、Cl₂、BCl₃、などのフッ素系又は塩素系のガスを用い、HeやArなどを適宜加えても良い。また、大気圧放電のエッチング加工を適用すれば、局所的な放電加工も可能であり、基板の全面にマスク層が必要にはならない。

【0098】

以上の工程により、基板100上にボトムゲート型（逆スタガ型ともいう。）のTFTと第1電極層が接続されたEL表示パネル用のTFT基板が完成する。

【0099】

EL層422を形成する前に、大気圧中で200℃の熱処理を行い絶縁層421中若しくはその表面に吸着している水分を除去する。また、減圧下で200～400℃、好ましくは250～350℃に熱処理を行い、そのまま大気に晒さずにEL層422を真空蒸着法や、減圧下の液滴吐出法で形成することが好ましい。

【0100】

第1電極402の表面を酸素プラズマに晒したり、紫外線光を照射して、表面処理を加えても良い。次に、スパッタリング法や液滴吐出法などにより第2電極423をEL層422上に形成して発光素子が形成される。この発光素子は駆動用TFT20000と接続された構造となる（図11（B）参照。）。

【0101】

続いて、シール材を形成し、封止基板を用いて封止する。その後、ゲート配線層にフレキシブル配線基板を接続しても良い。これは、信号配線層も同様である。

【0102】

以上示したように、本実施の形態では、フォトマスクを利用した光露光工程を用いないことにより、工程を省略することができる。また、液滴吐出法を用いて基板上に直接的に各種のパターンを形成することにより、1辺が1000mmを超える第5世代以降のガラス基板を用いても、容易にEL表示パネルを製造することができる。

【0103】

（第4の実施の形態）

第4の実施の形態として、下地層上に第1の電極を形成するチャネルエッチ型のTFTの作製方法について説明する。

【0104】

基板100上に、下地層401を形成し、下地層401上に、第1電極402を形成する。続いて、第1電極402上に、組成物を選択的に吐出して、マスク層403を形成する。マスク層403を利用して、第1電極402をエッチング加工し、その後、マスク層403を除去する。次に、導電性材料を含む組成物を液滴吐出法により吐出して、ゲート配線層404、ゲート電極層405、ゲート電極層406、ゲート配線層407を形成する。その後、表面に露出している下地層401の処理を行い、絶縁化して、絶縁体層408を形成する若しくはゲート配線層404、ゲート電極層405、ゲート電極層406、ゲート配線層407をマスクとして、下地層401をエッチングして除去する。次に、プラズマCVD法やスパッタリング法を用いて、ゲート絶縁層409を単層又は積層構造で形成する。特に好ましい形態としては、窒化珪素からなる絶縁体層410、酸化珪素からなる絶縁体層411、窒化珪素からなる絶縁体層412の3層の積層体がゲート絶縁層に

相当する。さらに、活性層として機能する半導体層413を形成する。次に、半導体層413上には、ゲート電極層405及び406と相対する位置に、組成物を選択的に吐出し、マスク層414を形成し、そのマスク層414を利用して、ゲート絶縁層409、半導体層413をエッチングする。その後、マスク層414を除去する。以上の工程は第3の実施の形態と同様である。

【0105】

半導体層413上に、n型の半導体層501を形成する。続いて、半導体層413上に、導電性材料を含む組成物を選択的に吐出して、ソース及びドレイン配線層502を液滴吐出法で形成する。次に、ソース及びドレイン配線層502をマスクとして、n型の半導体層501をエッチングして、ソース及びドレイン領域を形成するn型の半導体層を形成する（図12参照。）。

【0106】

以降の工程は第3の実施の形態と同様である。
構成される発光装置及びその作製方法に関する。

【実施例1】

【0107】

第1の実施の形態、第2の実施の形態、第3の実施の形態、第4の実施の形態において、容量を形成することもできる。

【0108】

導電性材料を含む組成物を液滴吐出法により吐出して、ゲート配線層、ゲート電極層を形成する工程において、容量電極層を形成する。

【0109】

前記容量電極層上に、ゲート絶縁層、半導体層を形成する。次に、前記半導体層上にマスクを形成し、前記マスクを利用してゲート絶縁層、半導体層をエッチング加工し、前記マスクを除去する。前記容量電極層と重なる位置に配線層を形成することで容量を形成することができる。その他の場合でも、容量を形成したい領域に、選択的にゲート絶縁層を残すことで可能である。

【実施例2】

【0110】

第1の実施の形態、第2の実施の形態、第3の実施の形態、第4の実施の形態、実施例1によって作製されるEL表示パネルにおいて、半導体層をSASで形成することによつて、図3で説明したように、走査線側の駆動回路を基板100上に形成することができる。

【0111】

図22は、 $1 \sim 15 \text{ cm}^2 / \text{V} \cdot \text{sec}$ の電界効果移動度が得られるSASを使ったnチャネル型のTFTで構成する走査線側駆動回路のブロック図を示している。

【0112】

図22において540で示すブロックが1段分のサンプリングパルスを出力するパルス出力回路に相当し、シフトレジスタはn個のパルス出力回路により構成される。541はバッファ回路であり、その先に画素542（図3の画素102に相当する。）が接続される。

【0113】

図23は、パルス出力回路540の具体的な構成を示したものであり、nチャネル型のTFT601～612で回路が構成されている。このとき、SASを使ったnチャネル型のTFTの動作特性を考慮して、TFTのサイズを決定すれば良い。例えば、チャネル長を $8 \mu\text{m}$ とすると、チャネル幅は $10 \sim 80 \mu\text{m}$ の範囲で設定することができる。

【0114】

また、バッファ回路541の具体的な構成を図24に示す。バッファ回路も同様にnチャネル型のTFT620～636で構成されている。このとき、SASを使ったnチャネル型のTFTの動作特性を考慮して、TFTのサイズを決定すれば良い。例えば、チャネル

ル長を $10 \mu\text{m}$ とすると、チャネル幅は $10 \sim 1800 \mu\text{m}$ の範囲で設定することとなる。

【0115】

このような回路を実現するには、TFT相互を配線によって接続する必要があり、その場合における配線の構成例を図14に示す。図14では、第1の実施の形態と同様に、ゲート電極層204、ゲート絶縁層206（窒化珪素からなる絶縁体層207、酸化珪素かなる絶縁体層208、窒化珪素からなる絶縁体層209の3層の積層体）、SASで形成される半導体層210、チャネル保護層を形成する絶縁体層212、ソース及びドレインを形成するn型の半導体層215、216、ソース及びドレイン配線層214が形成された状態を示している。この場合、基板100上には、ゲート電極層204と同じ工程で接続配線層250、251、252を形成しておく。そして、接続配線層250、251接続配線層250、251、252を形成しておく。そして、接続配線層250、251接続配線層250、251、252が露出するようにゲート絶縁層の一部をエッチング加工して、ソース及びドレン配線層214及びそれと同じ工程で形成する接続配線層253により適宜TFTを接続することにより様々な回路を実現することができる。

【実施例3】

【0116】

第1の実施の形態乃至第4の実施の形態、実施例1乃至実施例2において適用可能な発光素子の形態を、図17と図18参照して説明する。

【0117】

図17(A)は第1電極11を透光性の酸化物導電性材料で形成した例であり、酸化珪素を $1 \sim 15$ 原子%の濃度で含む酸化物導電性材料で形成している。その上に正孔注入層若しくは正孔輸送層41、発光層42、電子輸送層若しくは電子注入層43を積層したEL層16を設けている。第2電極17は、LiFやMgAgなどアルカリ金属又はアルカリ土類金属を含む第1の電極層33とアルミニウムなどの金属材料で形成する第2の電極層34で形成している。この構造の画素は、図中に矢印で示したように第1電極11側から光を放射することが可能となる。

【0118】

図17(B)は第2電極17から光を放射する例を示し、第1電極11はアルミニウム、チタンなどの金属、又は該金属と化学量論的組成比以下の濃度で窒素を含む金属材料で形成する第1の電極層35と、酸化珪素を $1 \sim 15$ 原子%の濃度で含む酸化物導電性材料で形成する第2の電極層32で形成している。その上に正孔注入層若しくは正孔輸送層41、発光層42、電子輸送層若しくは電子注入層43を積層したEL層16を設けている。第2電極17は、LiFやCaFなどのアルカリ金属又はアルカリ土類金属を含む第3の電極層33とアルミニウムなどの金属材料で形成する第4の電極層34で形成するが、いずれの層も 100 nm 以下の厚さとして光を透過可能な状態としておくことで、第2の電極17から光を放射することが可能となる。

【0119】

図18(A)は第1電極11から光を放射する例を示し、かつ、EL層を電子輸送層若しくは電子注入層43、発光層42、正孔注入層若しくは正孔輸送層41の順に積層した構成を示している。第2電極17は、EL層16側から酸化珪素を $1 \sim 15$ 原子%の濃度で含む酸化物導電性材料で形成する第2の電極層32、アルミニウム、チタンなどの金属で形成する第1の電極層35と、該金属と化学量論的組成比以下の濃度で窒素を含む金属材料で形成する第3の電極層33で形成している。第1電極11は、LiFやCaFなどのアルカリ金属又はアルカリ土類金属を含む第4の電極層34で形成するが、いずれの層も 100 nm 以下の厚さとして光を透過可能な状態としておくことで、第1の電極11から光を放射することが可能となる。

【0120】

図18(B)は第2電極17から光を放射する例を示し、かつ、EL層を電子輸送層若しくは電子注入層43、発光層42、正孔注入層若しくは正孔輸送層41の順に積層した構成を示している。第1電極11は図15(A)と同様な構成とし、膜厚はEL層で発光構成を示している。

した光を反射可能な程度に厚く形成している。第2電極17は、酸化珪素を1～15原子%の濃度で含む酸化物導電性材料で構成している。この構造において、正孔注入層41を無機物である金属酸化物（代表的には酸化モリブデン若しくは酸化バナジウム）で形成することにより、第2の電極層32を形成する際に導入される酸素が供給されて正孔注入性が向上し、駆動電圧を低下させることができる。

【0121】

第1電極を透光性の酸化物導電性材料で形成し、第2電極を光を透過可能な状態としておく若しくは透光性の酸化物導電性材料で形成することにより、前記第1電極、前記第2電極どちらからも光を放射することが可能となる。

【実施例4】

【0122】

次に、第1の実施の形態、第2の実施の形態、第3の実施の形態、第4の実施の形態、実施例1の形態によって作製されるEL表示パネルに駆動用のドライバ回路を実装する様について、図19、図20を参照して説明する。

【0123】

まず、COG方式を採用した表示装置について、図19を用いて説明する。基板1001上には、文字や画像などの情報を表示する画素部1002、走査側の駆動回路1003、1004が設けられる。複数の駆動回路が設けられた基板1005、1008は、矩形状に分断され、分断後の駆動回路（以下ドライバICと表記）は、基板1001上に実装され。図19(A)は複数のドライバIC1007、該ドライバIC1007の先にテープ1006を実装する形態を示す。図19(B)はドライバIC1010、該ドライバIC1010の先にテープ1009を実装する形態を示す。

【0124】

次に、TAB方式を採用した表示装置について、図20を用いて説明する。基板1001上には、画素部1002、走査側の駆動回路1003、1004が設けられる。図20(A)は基板1001上に複数のテープ1006を貼り付けて、該テープ1006にドライバIC1007を実装する形態を示す。図20(B)は基板1001上にテープ1009を貼り付けて、該テープ1009にドライバIC1010を実装する形態を示す。後者9を貼り付けて、該テープ1009にドライバIC1010を実装する形態を示す。後者9を貼り付ける場合には、強度の問題から、ドライバIC1010を固定する金属片等と一緒に貼り付けるとい。

【0125】

これらのEL表示パネルに実装されるドライバICは、生産性を向上させる観点から、一辺が300mmから1000mm以上の矩形状の基板1005、1008上に複数個作り込むとい。

【0126】

つまり、基板1006、1008上に駆動回路部と入出力端子を一つのユニットとするドライバICの長辺の長回路パターンを複数個形成し、最後に分割して取り出せばよい。ドライバICの長辺の長さは、画素部の一辺の長さや画素ピッチを考慮して、図19(A)、図20(A)に示すように、長辺が15～80mm、短辺が1～6mmの矩形状に形成してもよいし、図19(B)、図20(B)に示すように、画素領域1002の一辺、又は画素部1002の一辺と各駆動回路1003、1004の一辺とを足した長さに形成してもよい。

【0127】

ドライバICのICチップに対する外形寸法の優位性は長辺の長さにあり、長辺が15～80mmで形成されたドライバICを用いると、画素部1002に対応して実装するのに必要な数がICチップを用いる場合よりも少なくて済み、製造上の歩留まりを向上させることができる。また、ガラス基板上にドライバICを形成すると、母体として用いる基板の形状に限定されないので生産性を損なうことがない。これは、円形のシリコンウエハからICチップを取り出す場合と比較すると、大きな優位点である。

【0128】

図19(A)及び(B)、図20(A)及び(B)において、画素領域1002の外側

の領域には、駆動回路が形成されたドライバIC1007、1008又は1009が実装される。これらのドライバIC1007～1009は、信号線側の駆動回路である。RGBフルカラーに対応した画素領域を形成するためには、XGAクラスで信号線の本数が3072本必要であり、UXGAクラスでは4800本が必要となる。このような本数で形成された信号線は、画素領域1002の端部で数ブロック毎に区分して引出線を形成し、ドライバIC1007～1009の出力端子のピッチに合わせて集められる。

【0129】

ドライバICは、基板上に形成された結晶質半導体により形成されることが好適である。該結晶質半導体は連続発光のレーザ光を照射することで形成されることが好適である。従って、当該レーザ光を発生させる発振器としては、連続発光の固体レーザ又は気体レーザを用いる。連続発光のレーザを用いると、結晶欠陥が少なく、大粒径の多結晶半導体層を用いて、トランジスタを作成することが可能となる。また移動度や応答速度が良好なたために高速駆動が可能で、従来よりも素子の動作周波数を向上させることができ、特性パラメータを用いて、トランジスタを作成することが可能となる。なお、さらなる動作周波数の向上を目的として、トランジスタのチャネル長方向とレーザ光の走査方向と一致させるとよい。これは、連続発光レーザによるレーザ結晶化工程では、トランジスタのチャネル長方向とレーザ光の基板に対する走査方向とが概ね並行（好ましくは $-30^\circ \sim 30^\circ$ ）であるときに、最も高い移動度が得られるためである。なおチャネル長方向とは、チャネル形成領域において、電流が流れる方向、換言すると電荷が移動する方向と一致する。このように作製したトランジスタは、結晶粒がチャネル方向に延在する多結晶半導体層によって構成され活性層を有し、このことは結晶粒界が概ねチャネル方向に沿って形成されていることを意味する。

【0130】

レーザ結晶化を行うには、レーザ光の大幅な絞り込みを行うことが好ましく、そのビームスポットの幅は、ドライバICの短辺の同じ幅の1～3mm程度とすることがよい。また、被照射体に対して、十分に且つ効率的なエネルギー密度を確保するために、レーザ光の照射領域は、線状であることが好ましい。但し、ここでいう線状とは、厳密な意味で線を意味しているのではなく、アスペクト比の大きい長方形もしくは長楕円形を意味する。例えば、アスペクト比が2以上（好ましくは10～10000）のものを指す。このように、レーザ光のビームスポットの幅をドライバICの短辺と同じ長さとすることで、生産性を向上させた表示装置の作製方法を提供することができる。

【0131】

図19、図20では、走査線駆動回路は画素部と共に一体形成し、信号線駆動回路としてドライバICを実装した形態を示した。しかしながら、本発明はこの形態に限定されず、走査線駆動回路及び信号線駆動回路の両方として、ドライバICを実装してもよい。その場合には、走査線側と信号線側で用いるドライバICの仕様を異なるものにするとよい。

【0132】

画素領域1002は、信号線と走査線が交差してマトリクスを形成し、各交差部に対応してトランジスタが配置される。本発明は、画素領域1002に配置されるトランジスタとして、非晶質半導体又はセミアモルファス半導体をチャネル部としたTFTを用いることを特徴とする。非晶質半導体は、プラズマCVD法やスパッタリング法等の方法により形成する。セミアモルファス半導体は、プラズマCVD法で300°C以下の温度で形成することができる。外寸 $550 \times 650\text{ mm}$ の無アルカリガラス基板であっても、トランジスタを形成するのに必要な膜厚を短時間で形成するという特徴を有する。このような製造技術の特徴は、大画面の表示装置を作製する上で有効である。また、セミアモルファスTFTは、SASでチャネル形成領域を構成することにより $2 \sim 10\text{ cm}^2/\text{V}\cdot\text{sec}$ の電界効果移動度を得ることができる。従って、このTFTを画素のスイッチング用素子や、走査線側の駆動回路を構成する素子として用いることができる。従って、システムオンパネル化を実現したEL表示パネルを作製することができる。

(0 1 3 3)

なお、図19、図20では、第3の実施の形態に従い、半導体層をS A Sで形成したTFTを用いることにより、走査線側駆動回路も基板上に一体形成することを前提として示している。半導体層をA Sで形成したTFTを用いる場合には、走査線側駆動回路及び信号線側駆動回路の両方をドライバICを実装してもよい。

[0 1 3 4]

その場合には、走査線側と信号線側で用いるドライバICの仕様を異なるものにすることが好適である。例えば、走査線側のドライバICを構成するトランジスタには30V程度が好適である。度の耐圧が要求されるものの、駆動周波数は100kHz以下であり、比較的高速動作は要求されない。従って、走査線側のドライバを構成するトランジスタのチャネル長(L)は十分大きく設定することが好適である。一方、信号線側のドライバICのトランジスタには、12V程度の耐圧があれば十分であるが、駆動周波数は3Vにて65MHz程度あり、高速動作が要求される。そのため、ドライバを構成するトランジスタのチャネル長などはミクロンルールで設定することが好適である。

[0 1 3 5]

以上のようにして、EL表示パネルに駆動回路を組み入れることができる。

【寒施例 5】

(0136)

本実施の形態で示すEL表示パネルの画素の構成について、図21に示す等価回路図を参照して説明する。

[0 1 3 7]

図21(A)に示す画素は、列方向に信号線810及び電源線811～813、行方向に走査線814が配置される。また、スイッチング用TFT801、駆動用TFT803、電流制御用TFT804、容量素子802及び発光素子805を有する。構造によつては容量素子802は別の位置に形成することが考えられ、また容量素子802は無くても良い。

[0138]

A) (3) 101391

【10139】 図21(A) (C) に示す画素の特徴として、画素内に TFT 803、804 が直列に接続されており、TFT 803 のチャネル長 L_3 、チャネル幅 W_3 、TFT 804 のチャネル長 L_4 、チャネル幅 W_4 は、 $L_3/W_3 : L_4/W_4 = 5 \sim 6000 : 1$ を満たすように設定される点が挙げられる。6000 : 1 を満たす場合の一例としては、 L_3 が $500 \mu\text{m}$ 、 W_3 が $3 \mu\text{m}$ 、 L_4 が $3 \mu\text{m}$ 、 W_4 が $100 \mu\text{m}$ の場合がある。

[0140]

なお、TFT803は、飽和領域で動作し発光素子806に流れる電流値を制御する役目を有し、TFT804は線形領域で動作し発光素子806に対する電流の供給を制御する役目を有する。両TFTは同じ導電型を有していると作製工程上好ましい。またTFT803には、エンハンスマント型だけでなく、ディプリーション型のTFTを用いてよい。上記構成を有する本発明は、TFT804が線形領域で動作するために、TFT804のV_{Gs}の僅かな変動は発光素子806の電流値に影響を及ぼさない。つまり、発光素子806の電流値は、飽和領域で動作するTFT803により決定される。上記構成を有する本発明は、TFTの特性バラツキに起因した発光素子の輝度ムラを改善して画質向上

させた表示装置を提供することができる。

【0141】

図21(A)～(D)に示す画素において、TFT801は、画素に対するビデオ信号の入力を制御するものであり、TFT801がオンして、画素内にビデオ信号が入力されると、容量素子802にそのビデオ信号が保持される。なお図21(A)(C)には、容量素子802を設けた構成を示したが、本発明はこれに限定されず、ビデオ信号を保持する容量がゲート容量などでもかまうことが可能な場合には、明示的に容量素子802を設けなくてもよい。

【0142】

発光素子806は、2つの電極間に電界発光層が挟まれた構造を有し、順バイアス方向の電圧が印加されるように、画素電極と対向電極の間（陽極と陰極の間）に電位差が設けられる。電界発光層は有機材料や無機材料等の広汎に渡る材料により構成され、この電界発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（リン光）とが含まれる。）と、三重項励起状態から基底状態に戻る際の発光（リン光）とが含まれる。

【0143】

図21(B)に示す画素は、TFT806と走査線816を追加している以外は、図21(A)に示す画素構成と同じである。同様に、図21(D)に示す画素は、TFT806と走査線816を追加している以外は、図21(C)に示す画素構成と同じである。

【0144】

TFT806は、新たに配置された走査線816によりオン又はオフが制御される。TFT806がオフになると、容量素子802に保持された電荷は放電し、TFT806がオフする。つまり、TFT806の配置により、強制的に発光素子805に電流が流れない状態を作ることができる。従って、図21(B)～(D)の構成は、全ての画素に対する信号の書き込みを待つことなく、書き込み期間の開始と同時に直後に点灯期間を開始することができるため、デューティ比を向上することが可能となる。

【0145】

図21(E)に示す画素は、列方向に信号線850、電源線851、852、行方向に走査線853が配置される。また、スイッチング用TFT841、駆動用TFT843、容量素子842及び発光素子844を有する。図21(F)に示す画素は、TFT845と走査線854を追加している以外は、図21(E)に示す画素構成と同じである。なお、図21(F)の構成も、TFT845の配置により、デューティ比を向上することができる。

以上のようにして、EL表示パネルに駆動回路を組み入れることができる。

【実施例6】

【0146】

図15は走査線側入力端子部と信号線側入力端子部とに保護ダイオードを設けた一様な構成である。図15において画素102にはTFT541、542が設けられている。このTFTは第1の実施の形態と同様な構成を有している。

【0147】

信号線側入力端子部には、保護ダイオード561と562が設けられている。この保護ダイオードは、TFT541若しくは542と同様な工程で作製され、ゲートとドレインを接続することによりダイオードとして動作させている。図15で示す上面図の等価回路図を図16に示している。

【0148】

保護ダイオード561は、ゲート電極層550、半導体層551、チャネル保護用の絶縁層552、配線層553から成っている。TFT562も同様な構造である。この保護ダイオードと接続する共通電位線554、555はゲート電極層と同じ層で形成している。従って、配線層553と電気的に接続するには、ゲート絶縁層にコンタクトホールを形成する必要がある。

【0149】

ゲート絶縁層へのコンタクトホールは、液滴吐出法によりマスク層を形成し、エッティング加工すれば良い。この場合、大気圧放電のエッティング加工を適用すれば、局所的な放電加工も可能であり、基板の全面にマスク層を形成する必要はない。

【0150】

信号配線層 237 は TFT541 におけるソース及びドレイン配線層 214 と同じ層で形成され、それに接続している信号配線層 237 とソース又はドレイン側が接続する構造となっている。

【0151】

走査信号線側の入力端子部も同様な構成である。このように、本発明によれば、入力段に設けられる保護ダイオードを同時に形成することができる。なお、保護ダイオードを挿入する位置は、本実施の形態のみに限定されず、図 3 で説明したように、駆動回路と画素との間に設けることもできる。

【実施例 7】

【0152】

図 26 及び図 27 は、液滴吐出法により作製される TFT 基板 200 を用いて EL 表示モジュールを構成する一例を示している。両図面において、TFT 基板 200 上には、画素 102 により構成された画素部 101 が形成されている。

【0153】

図 26 では、画素部 101 の外側であって、駆動回路 703 と画素 102 との間に、画素に形成されたものと同様な TFT 又はその TFT のゲートとソース若しくはドレインの一方とを接続してダイオードと同様に動作させた保護回路部 701 が備えられている。駆動回路 703 は、単結晶半導体で形成されたドライバ IC 、ガラス基板上に多結晶半導体で形成されたスティックドライバ IC 、若しくは SAS で形成された駆動回路などが適用されている。

【0154】

TFT 基板 200 は、絶縁層 228 上に液滴吐出法で形成されたスペーサ 708 を介して封止基板 236 と固着されている。スペーサは、基板の厚さが薄く、また画素部の面積が大型化した場合にも、2 枚の基板の間隔を一定に保つために設けておくことが好ましい。発光素子 234 上であって、TFT 基板 200 と封止基板 236 との間に空隙には透光性の樹脂材料を充填して固体化しても良いし、無水化した窒素若しくは不活性気体を充填させても良い。

【0155】

図 26 では発光素子 234 をトップエミッション型の構成とした場合を示し、図中に示す矢印の方向に光を放射する構成としている。各画素は、画素 102a を赤色、102b を緑色、102c を青色として発光色を異なれておくことで、多色表示を行うことができる。また、このとき封止基板 236 側に各色に対応した着色層 709a 、709b 、709c を形成しておくことで、外部に放射される発光の色純度を高めることができる。また、画素 102a 、102b 、102c を白色発光素子として着色層 709a 、709b 、709c と組み合わせても良い。

【0156】

外部回路 705 は、TFT 基板 200 の一端に設けられた走査線若しくは信号線接続端子と、配線基板 704 で接続される。また、TFT 基板 200 に接して若しくは近接させて、ヒートパイプ 706 と放熱板 707 を設け、放熱効果を高める構成としても良い。

【0157】

なお、図 26 では、トップエミッションの EL モジュールとしたが、発光素子の構成や外部回路基板の配置を変えてボトムエミッション構造としても良い。

【0158】

図 27 は、TFT 基板 200 において、画素部が形成された側にシール材 235 や接着性の樹脂 702 を用いて樹脂フィルム 708 を貼り付けて封止構造を形成した一例を示している。樹脂フィルム 708 の表面には水蒸気の透過を防止するガスバリア層を設けてお

くと良い。図27では、発光素子の光が基板を通して放射されるボトムエミッションの構成を示しているが、樹脂フィルム708や接着性の樹脂702を透光性とすることにより、トップエミッション構造とすることもできる。いずれにしても、フィルム封止構造とすることで、さらなる薄型化及び軽量化を図ることができる。

【実施例8】

【0159】

第10の実施の形態により作製されるEL表示モジュールによって、ELテレビ受像機を完成させることができる。図28はELテレビ受像機の主要な構成を示すブロック図を示している。EL表示パネルには、図1で示すような構成として画素部101のみが形成されて走査線側駆動回路903と信号線側駆動回路902とがTAB方式により実装される場合と、図2に示すような構成として画素部101とその周辺に走査線側駆動回路903と信号線側駆動回路902とがCOG方式により実装される場合と、図3に示すようにSASで TFT を形成し、画素部101と走査線側駆動回路903を基板上に一体形成しSASでTFTを形成し、画素部101と走査線側駆動回路903を基板上に一体形成しSASでTFTを形成し、走査線側駆動回路903を別途ドライバICとして実装する場合などがあるが、どのような形態としても良い。

【0160】

その他の外部回路の構成として、映像信号の入力側では、チューナ904で受信した信号のうち、映像信号を増幅する映像信号增幅回路905と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路と、その映像信号をドライバICの入力仕様に変換するためのコントロール回路907などからなっている。コントロール回路907は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路908を設け、入力デジタル信号をm個に分割して供給する構成としても良い。

【0161】

チューナ904で受信した信号のうち、音声信号は、音声信号增幅回路909に送られ、その出力は音声信号処理回路910を経てスピーカ913に供給される。制御回路911は受信局（受信周波数）や音量の制御情報を入力部912から受け、チューナ904や音声信号処理回路910に信号を送出する。

【0162】

このような外部回路を組みこんで、図26、図27で説明したようなELモジュールを筐体920に組みこんで、テレビ受像機を完成させることができ、図29に示すように、筐体920に組みこんで、テレビ受像機を完成させることができる。EL表示モジュールにより表示画面921が形成され、その他付属設備としてスピーカ922、操作スイッチング924などが備えられている。このように、本発明によりテレビ受像機を完成させることができる。

【0163】

勿論、本発明はテレビ受像機に限定されず、パソコン用コンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。また、大面積に限定されるものではなく、携帯電話など比較的小さな表示媒体にも勿論利用可能である。

【図面の簡単な説明】

【0164】

【図1】本発明のEL表示パネルの構成を説明する上面図である。

【図2】本発明のEL表示パネルの構成を説明する上面図である。

【図3】本発明のEL表示パネルの構成を説明する上面図である。

【図4】本発明のEL表示パネルの作製工程を説明する断面図である。

【図5】本発明のEL表示パネルの作製工程を説明する断面図である。

【図6】本発明のEL表示パネルの作製工程を説明する断面図である。

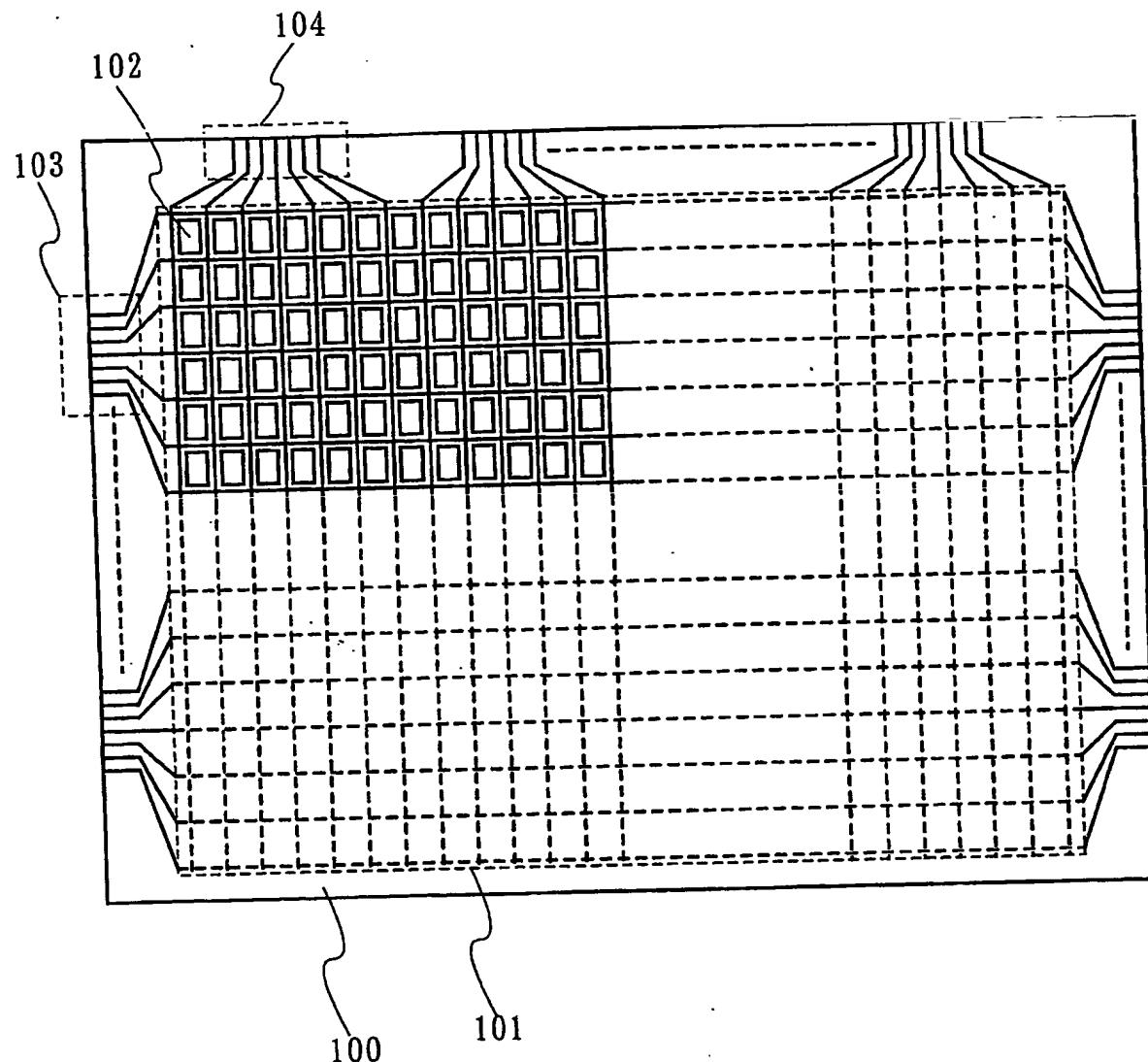
【図7】本発明のEL表示パネルの作製工程を説明する断面図である。

【図8】本発明のEL表示パネルの作製工程を説明する上面図である。

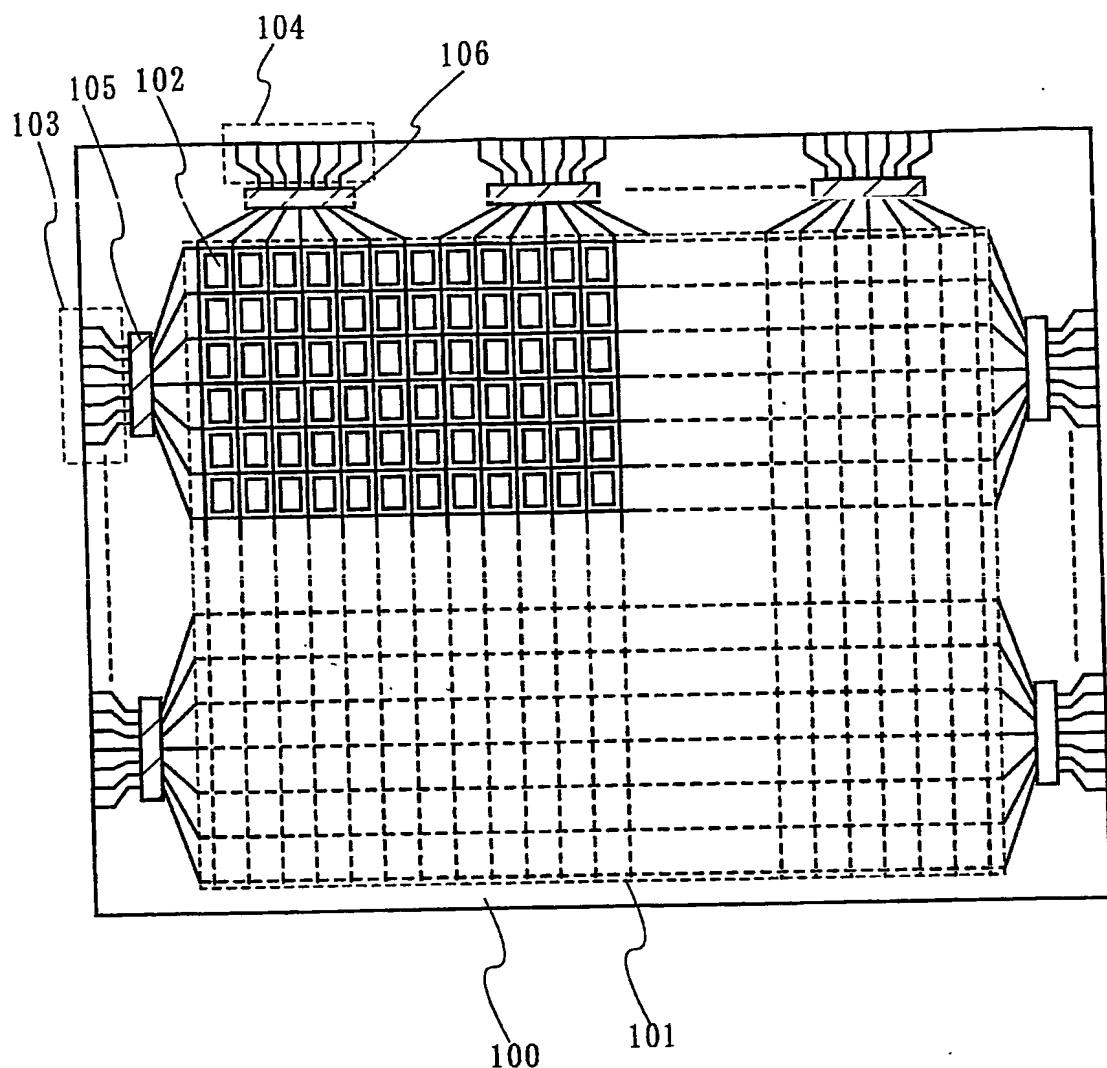
【図9】本発明のEL表示パネルの作製工程を説明する断面図である。

- 【図 1・0】本発明のEL表示パネルの作製工程を説明する断面図である。
- 【図 1・1】本発明のEL表示パネルの作製工程を説明する断面図である。
- 【図 1・2】本発明のEL表示パネルの作製工程を説明する断面図である。
- 【図 1・3】本発明のEL表示パネルの作製工程を説明する上面図である。
- 【図 1・4】本発明のEL表示パネルの作製工程を説明する断面図である。
- 【図 1・5】本発明の液層表示パネルを説明する上面図である。
- 【図 1・6】図1・5で説明する液晶表示パネルの等価回路図である。
- 【図 1・7】本発明において適用可能な発光素子の形態を説明する図である。
- 【図 1・8】本発明において適用可能な発光素子の形態を説明する図である。
- 【図 1・9】本発明のEL表示パネルの駆動回路の実装方法を説明する図である。
- 【図 1・10】本発明のEL表示パネルの駆動回路の実装方法を説明する図である。
- 【図 1・11】本発明のEL表示パネルに適用できる画素の構成を説明する回路図である
- 【図 2・1】本発明のEL表示パネルに適用できる走査線側駆動回路を TFT で形成する場合の回路構成を説明する図である。
- 【図 2・2】本発明の液層表示パネルにおいて走査線側駆動回路を TFT で形成する場合の回路構成を説明する図である (シフトレジスタ回路)。
- 【図 2・3】本発明の液層表示パネルにおいて走査線側駆動回路を TFT で形成する場合の回路構成を説明する図である (バッファ回路)。
- 【図 2・4】本発明の液層表示パネルにおいて走査線側駆動回路を TFT で形成する場合の回路構成を説明する図である (バッファ回路)。
- 【図 2・5】本発明に適用することのできる液滴吐出装置の構成を説明する図である。
- 【図 2・6】本発明のEL表示モジュールの構成例を説明する断面図である。
- 【図 2・7】本発明のEL表示モジュールの構成例を説明する断面図である。
- 【図 2・8】本発明のELテレビ受像機の主要な構成を示すブロック図である。
- 【図 2・9】本発明により完成するELテレビ受像機の構成を説明する図である。

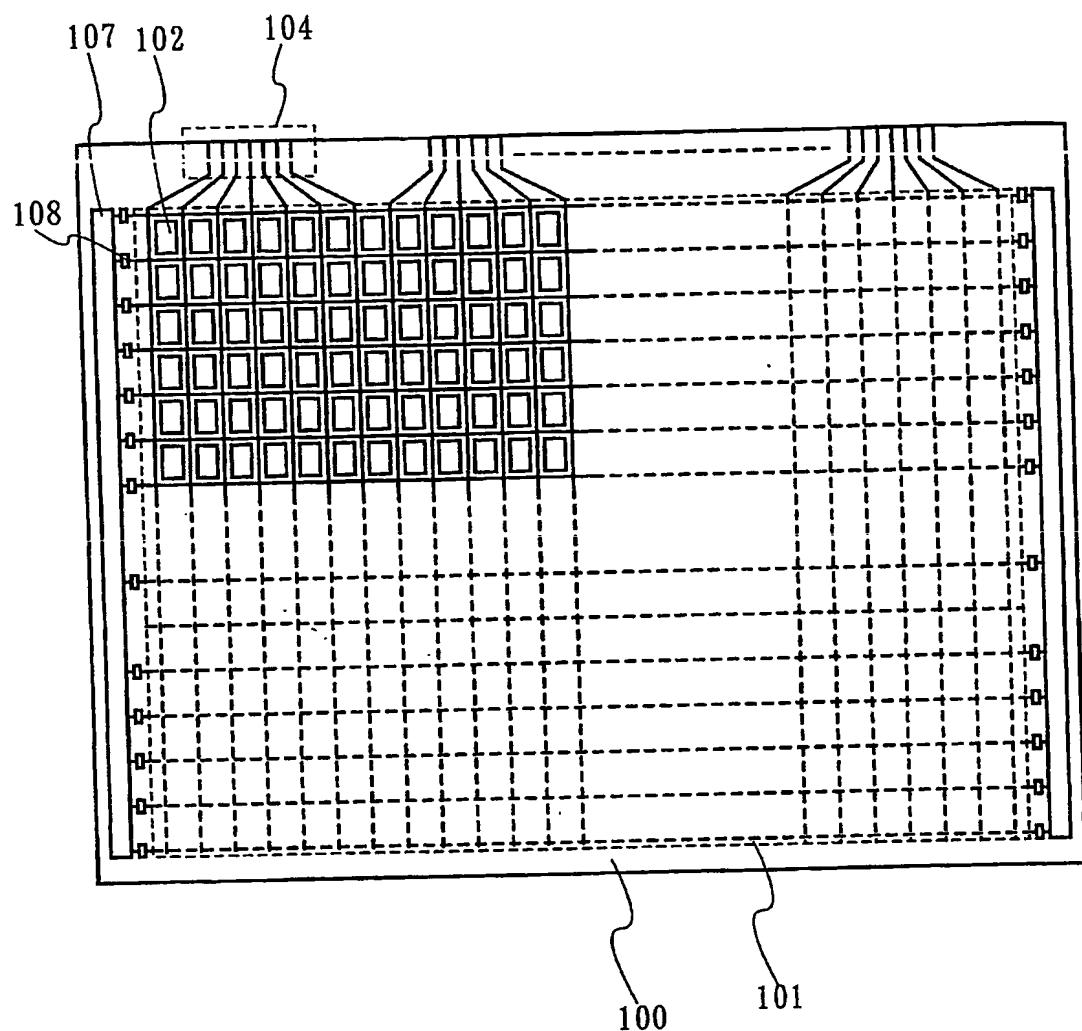
【書類名】 図面
【図 1】



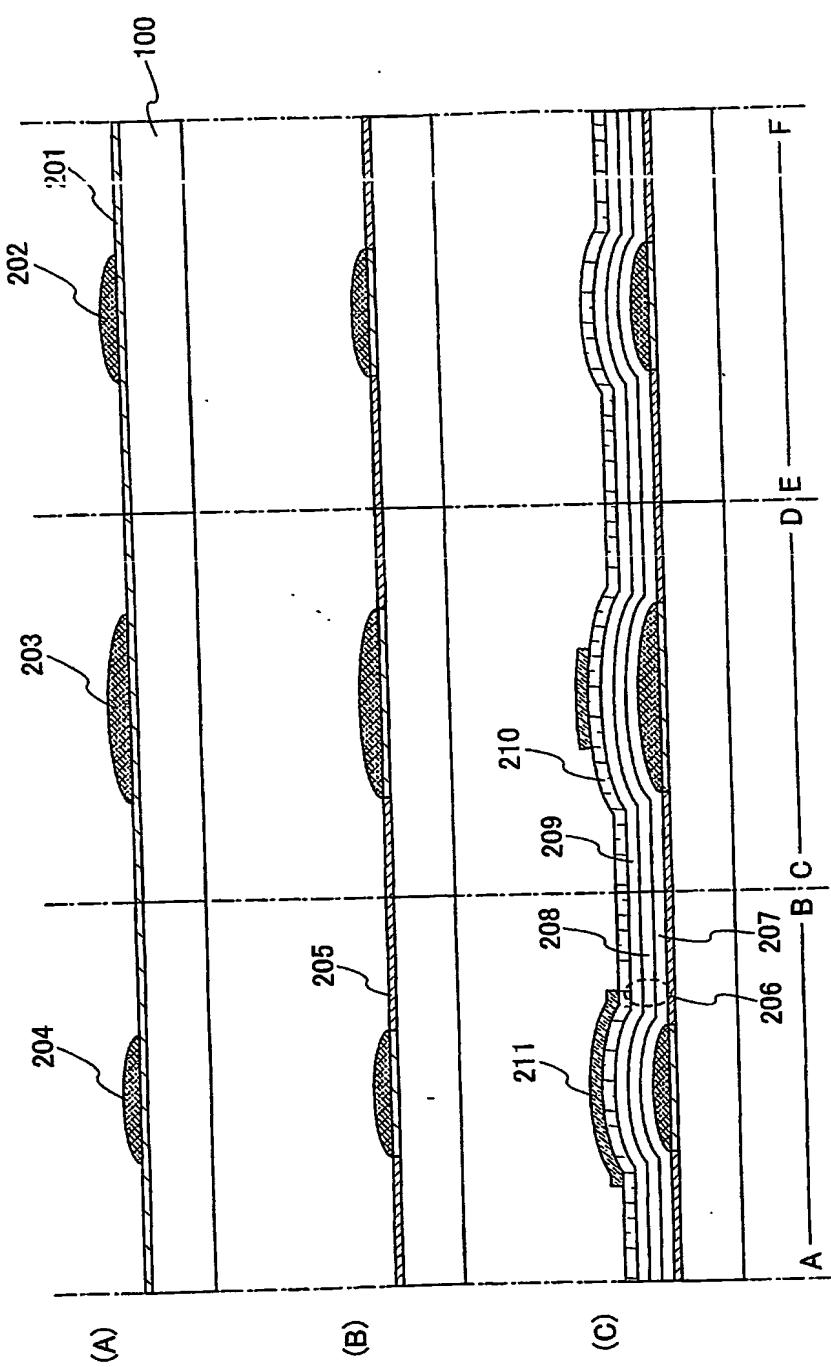
【図2】



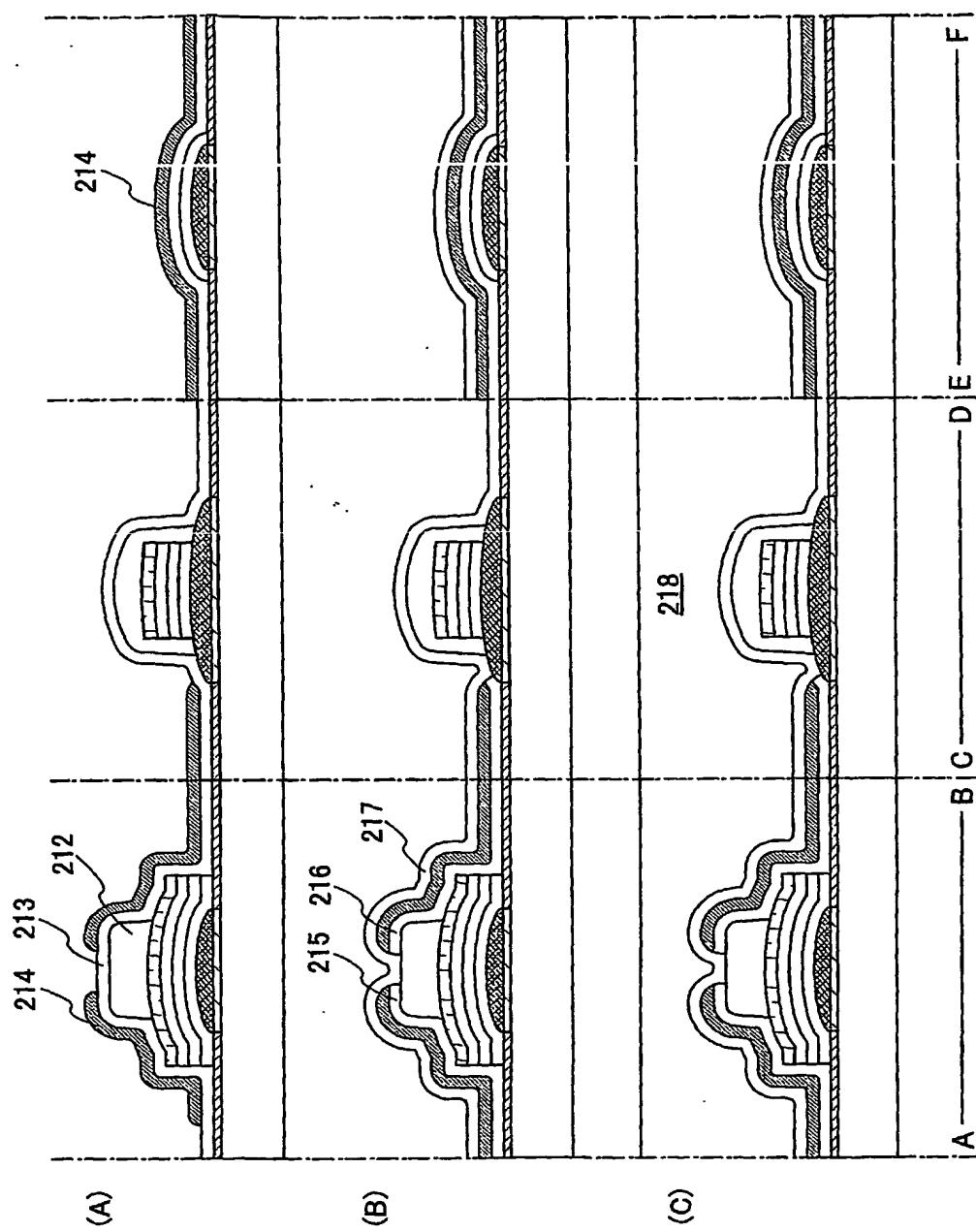
【図3】



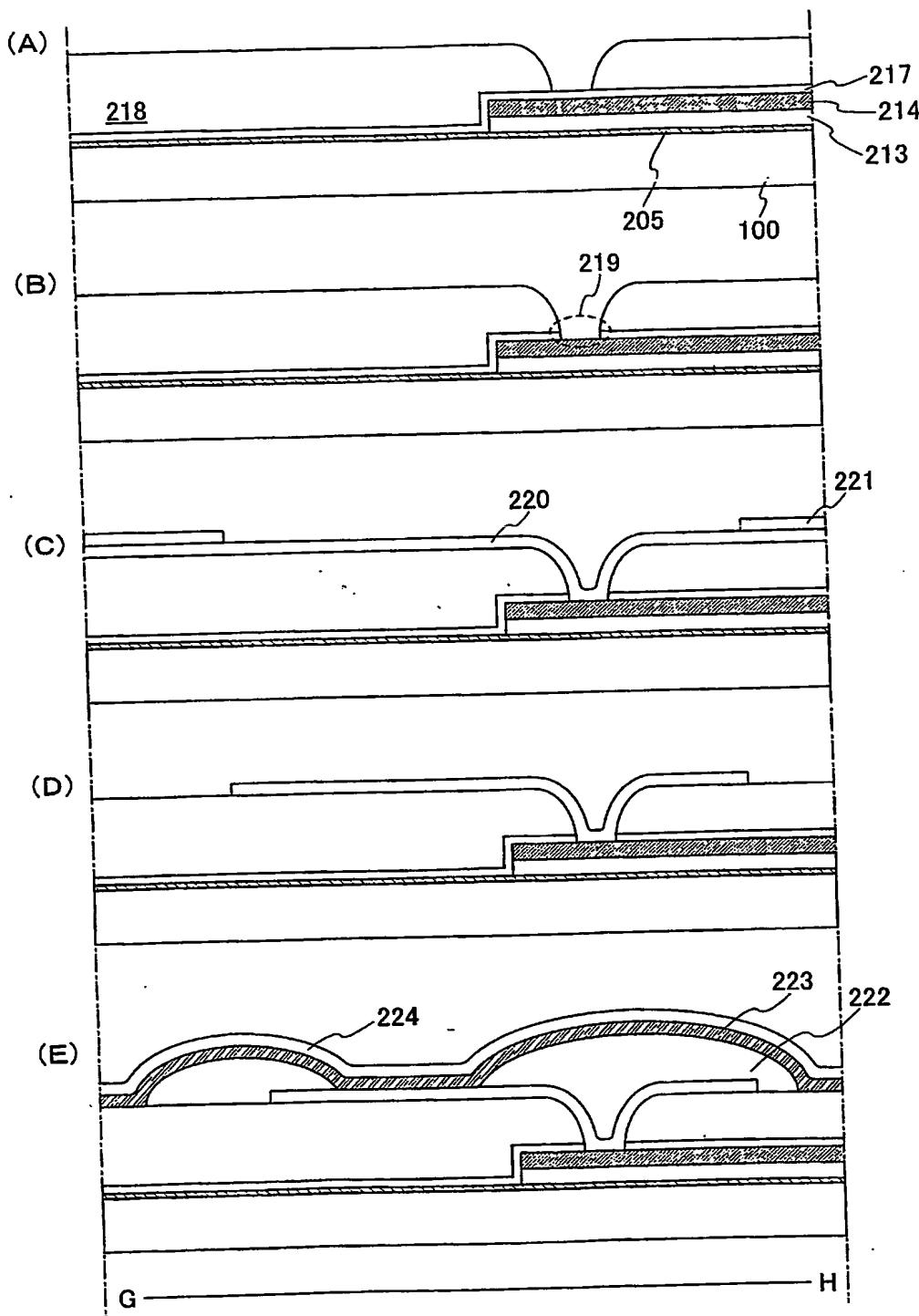
【図4】



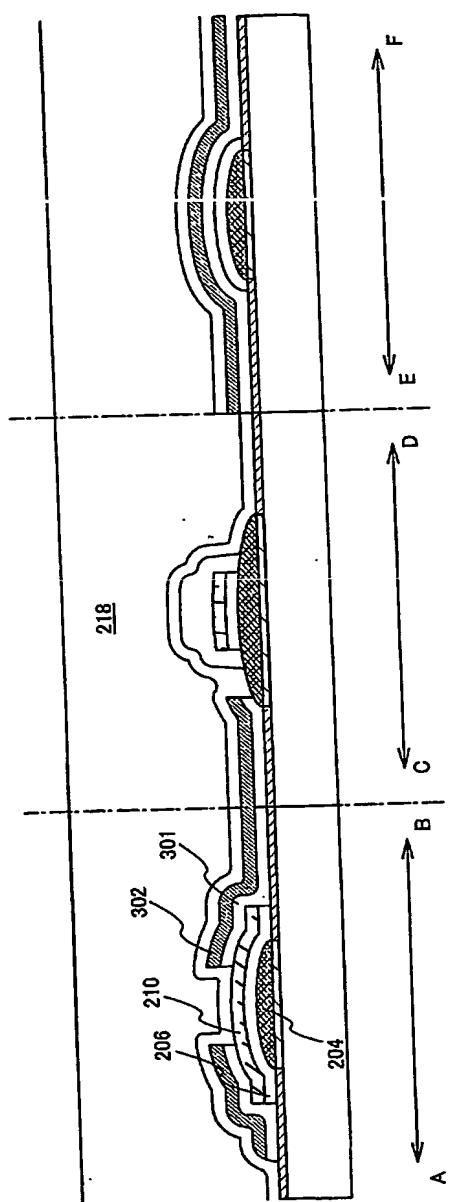
【図 5】



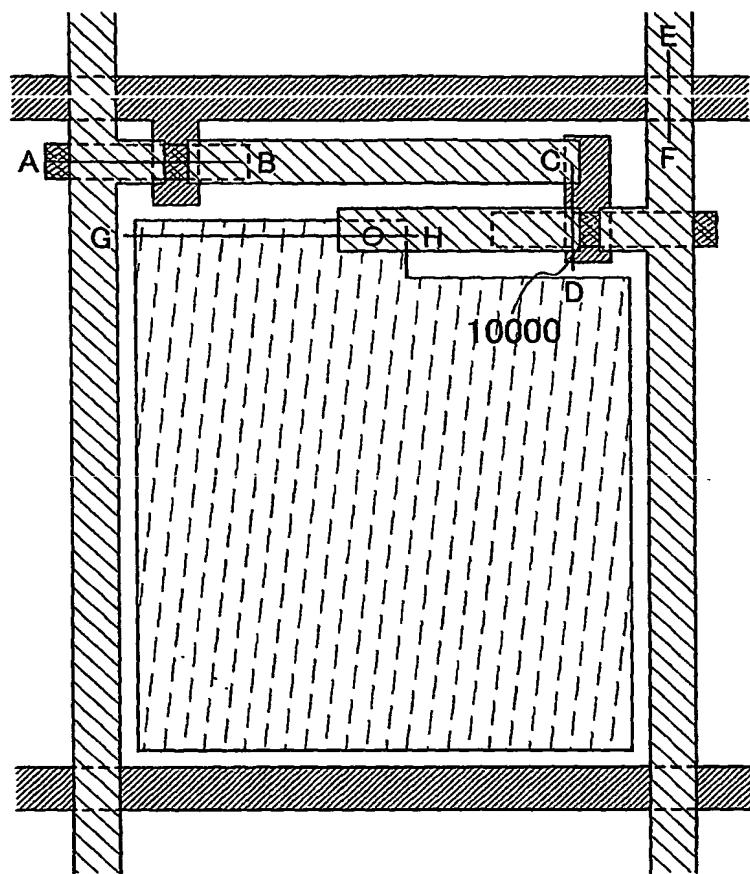
【図 6】



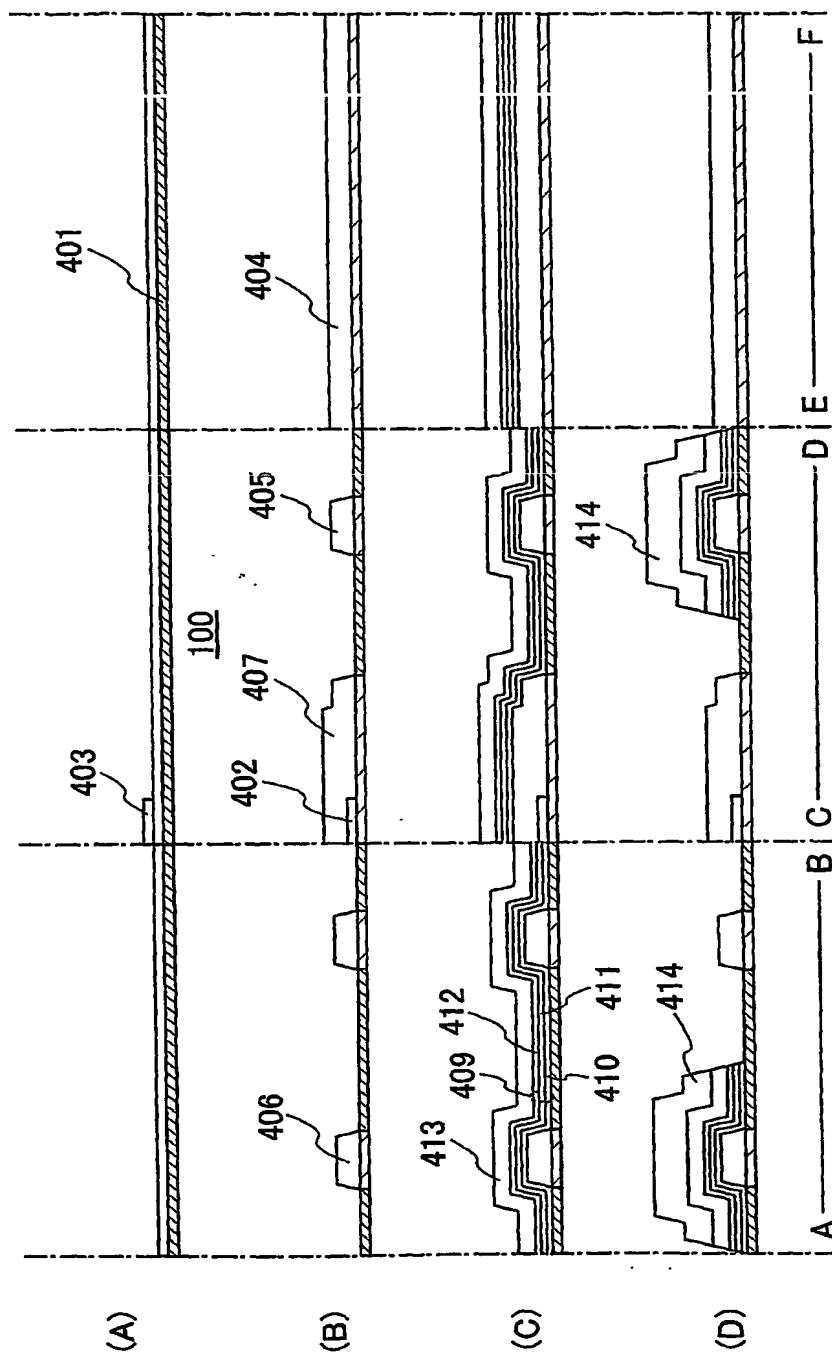
【図 7】



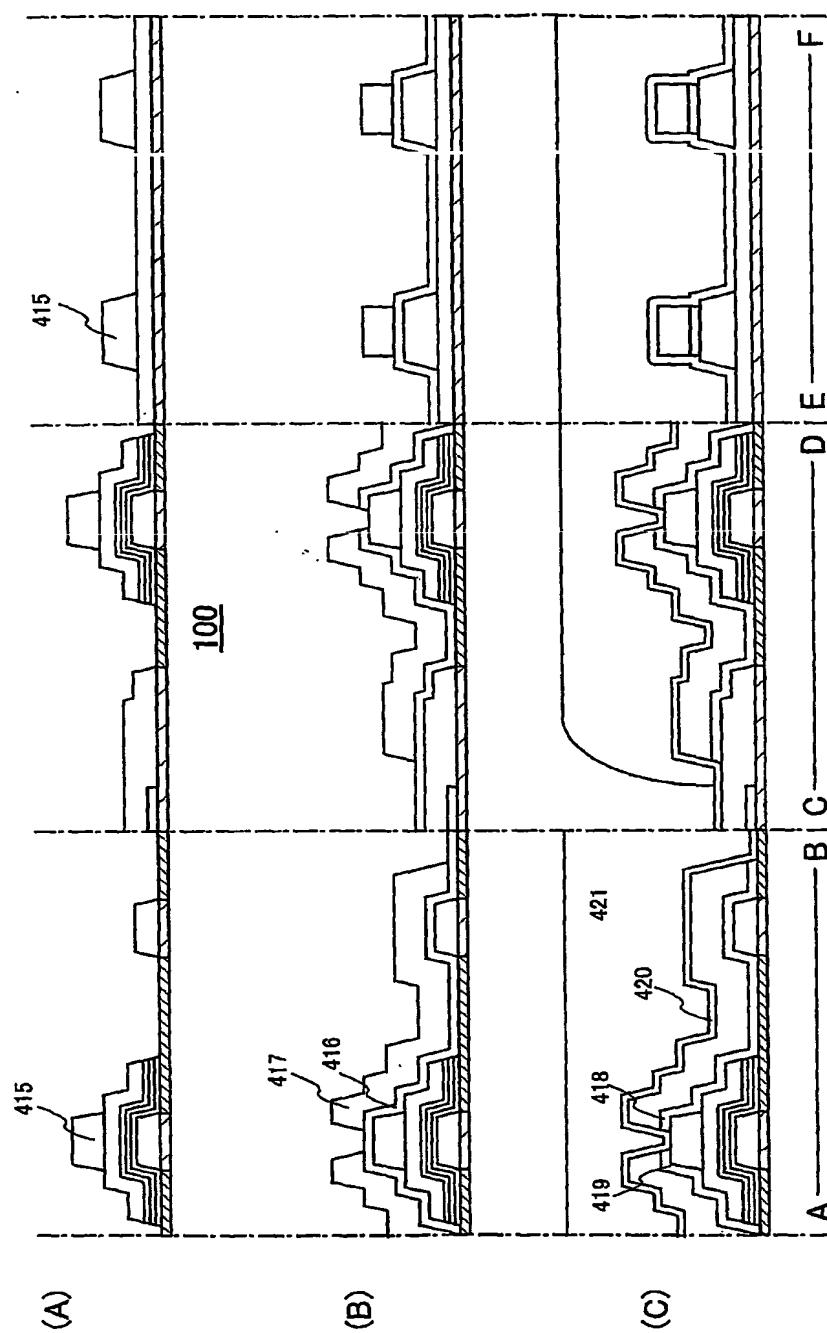
【図8】



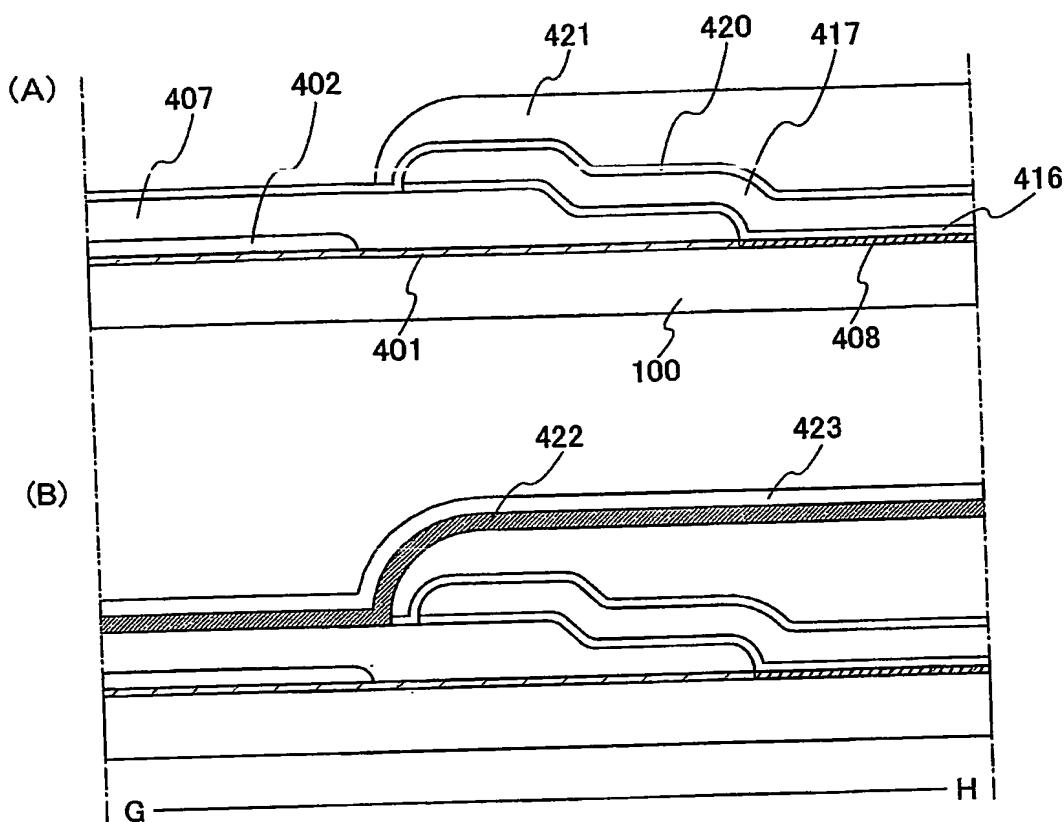
【図9】



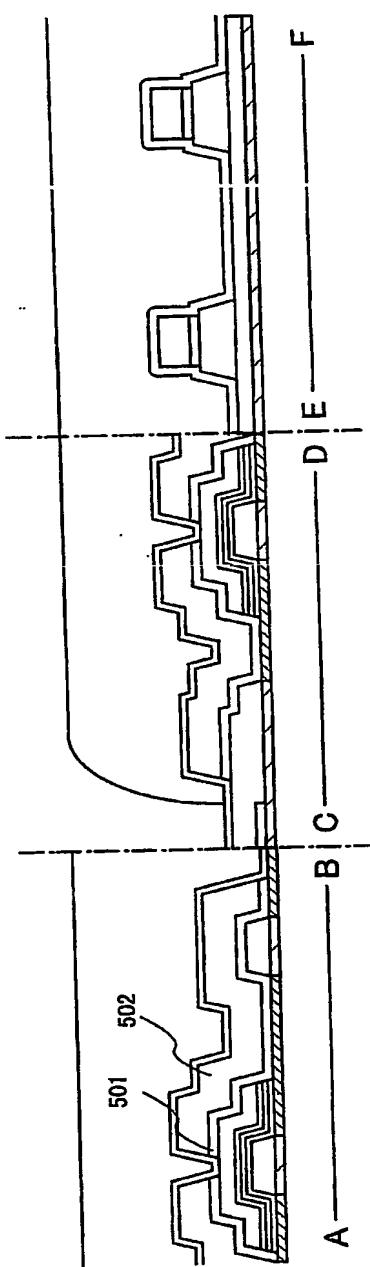
【図10】



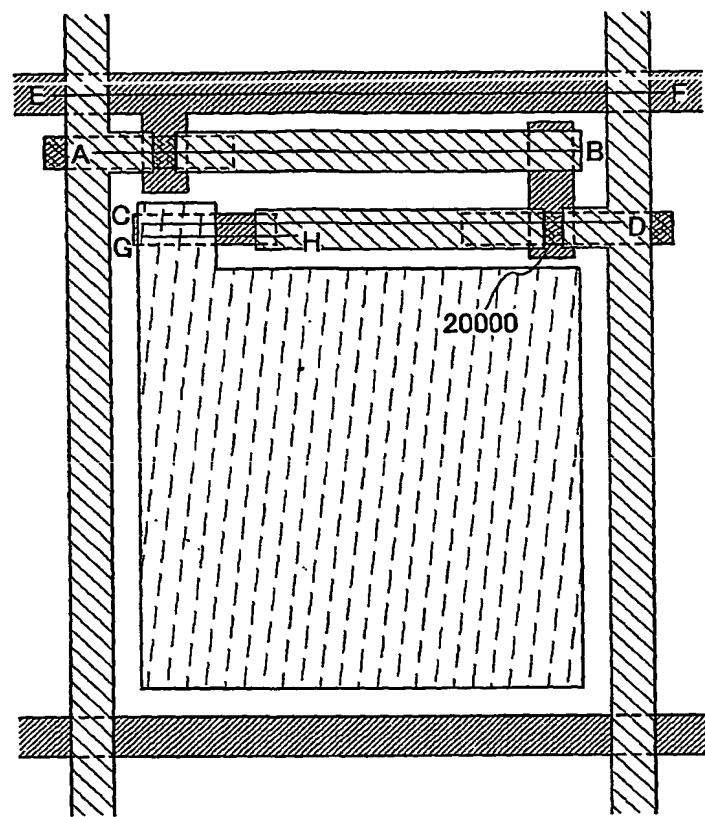
【図11】



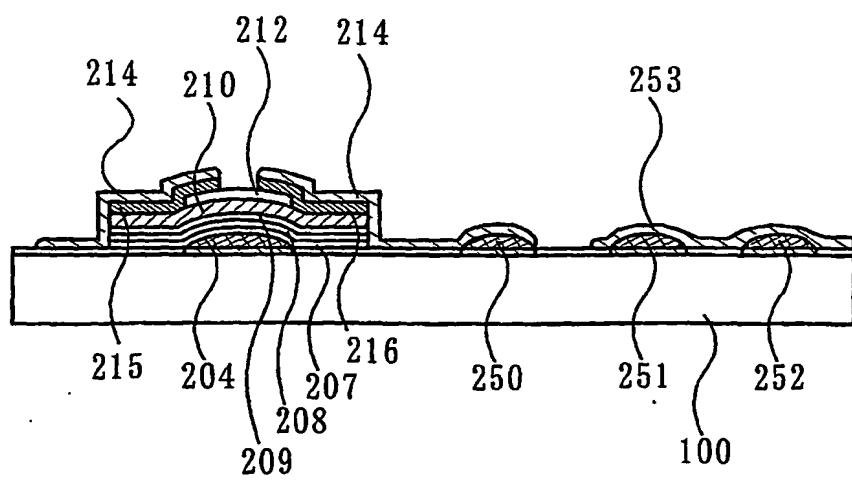
【図12】



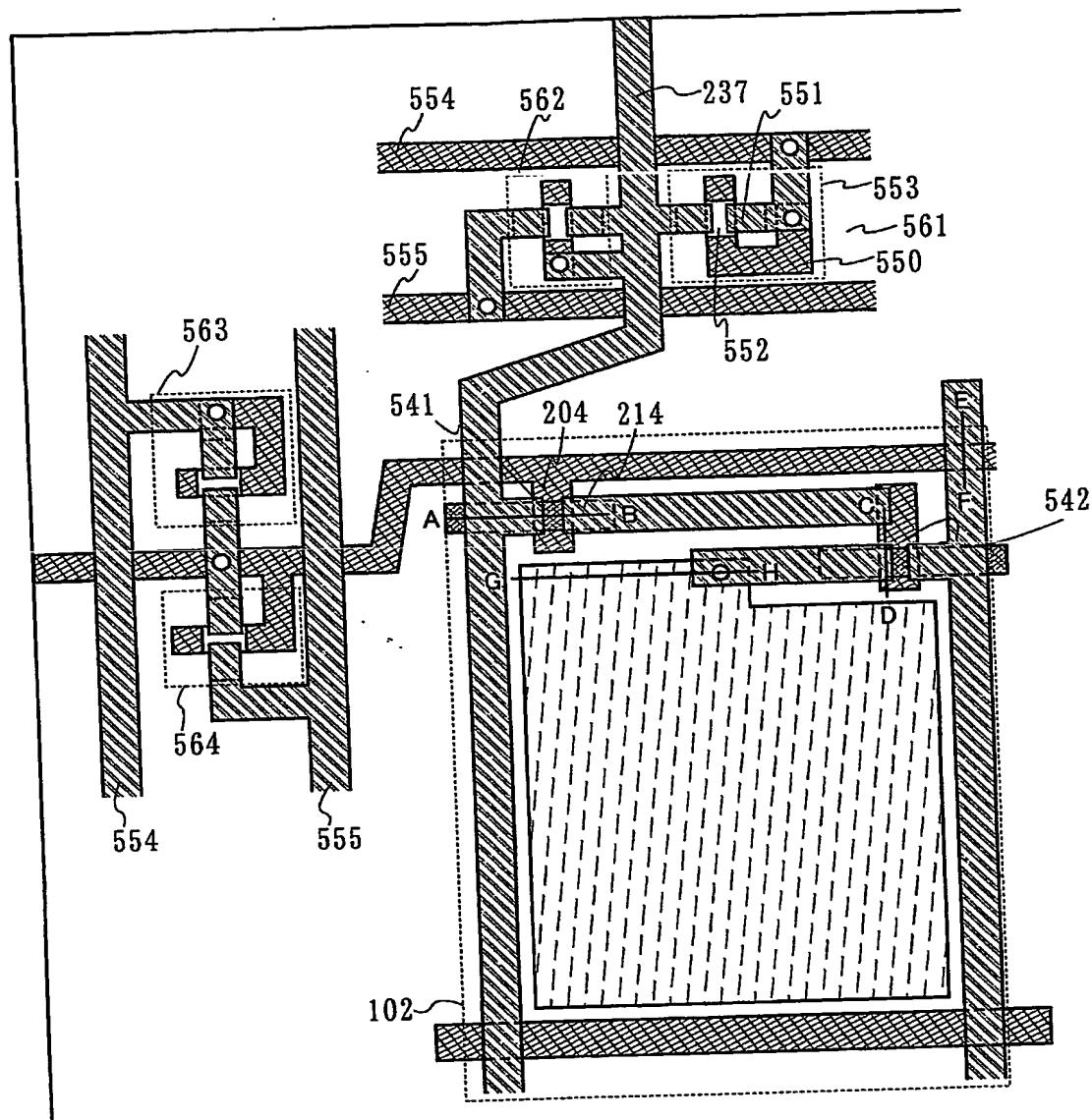
【図13】



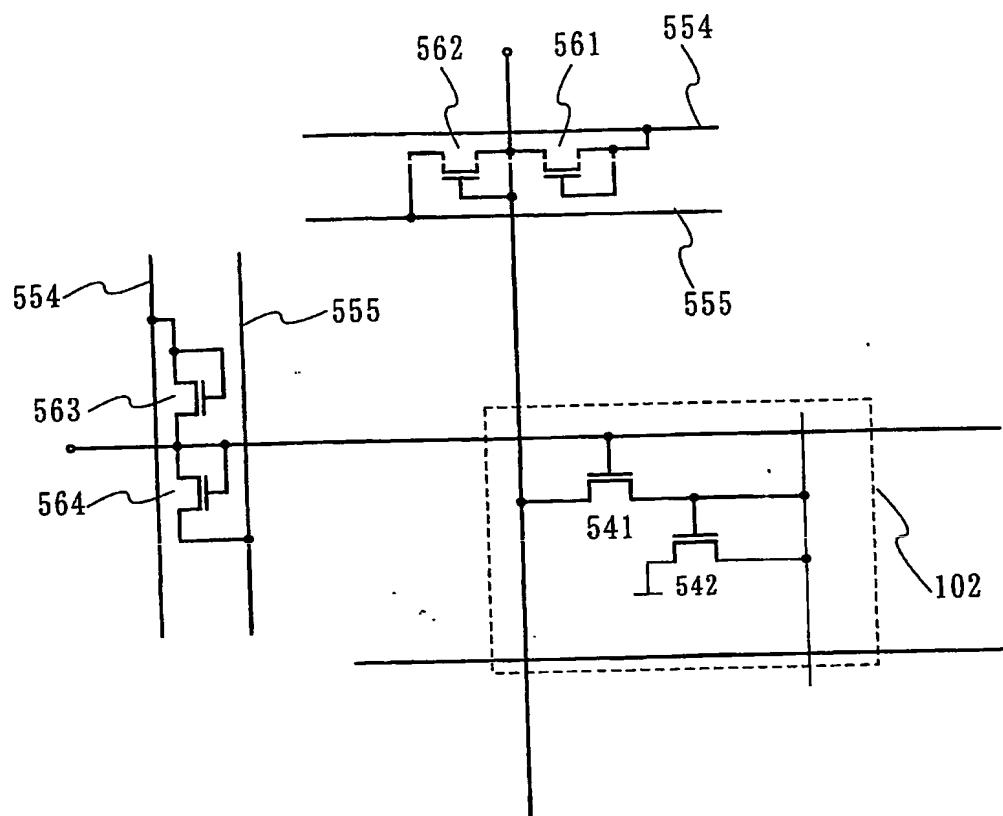
【図14】



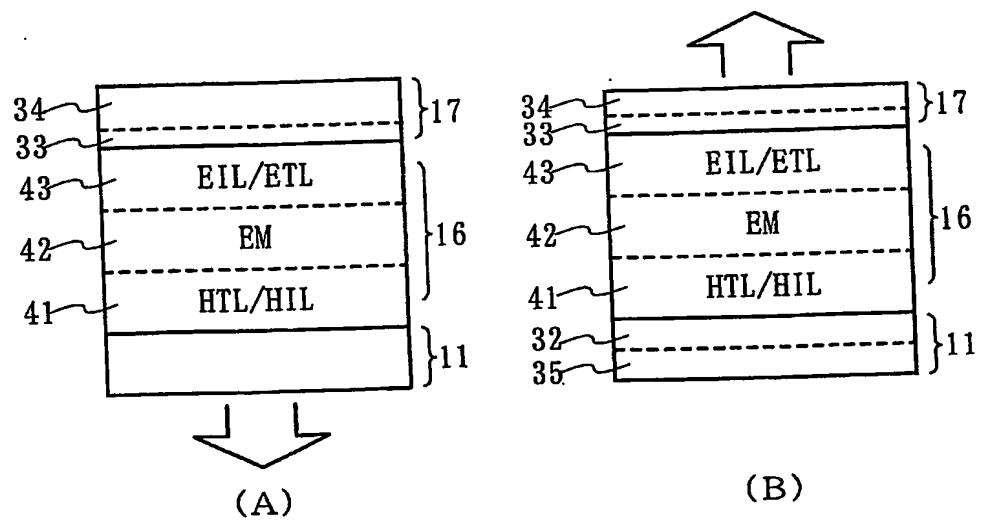
【図15】



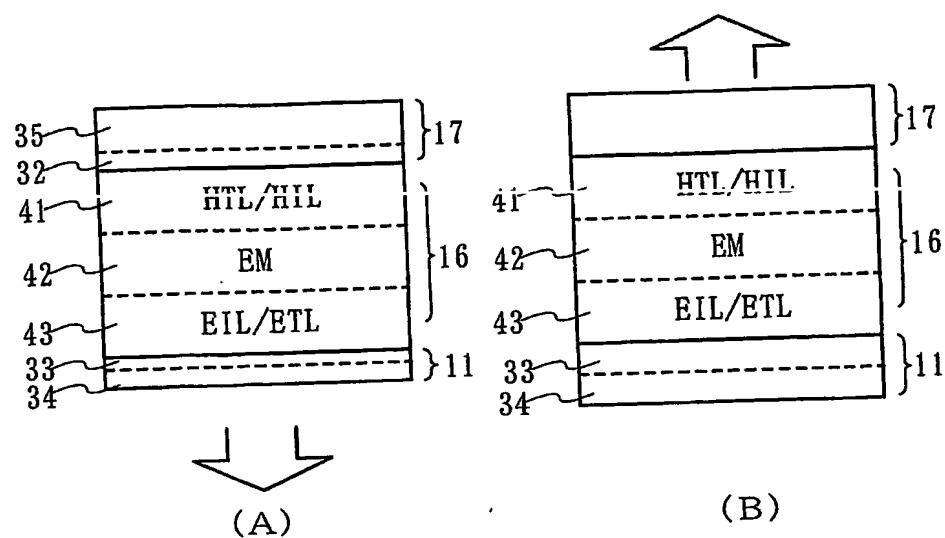
【図16】



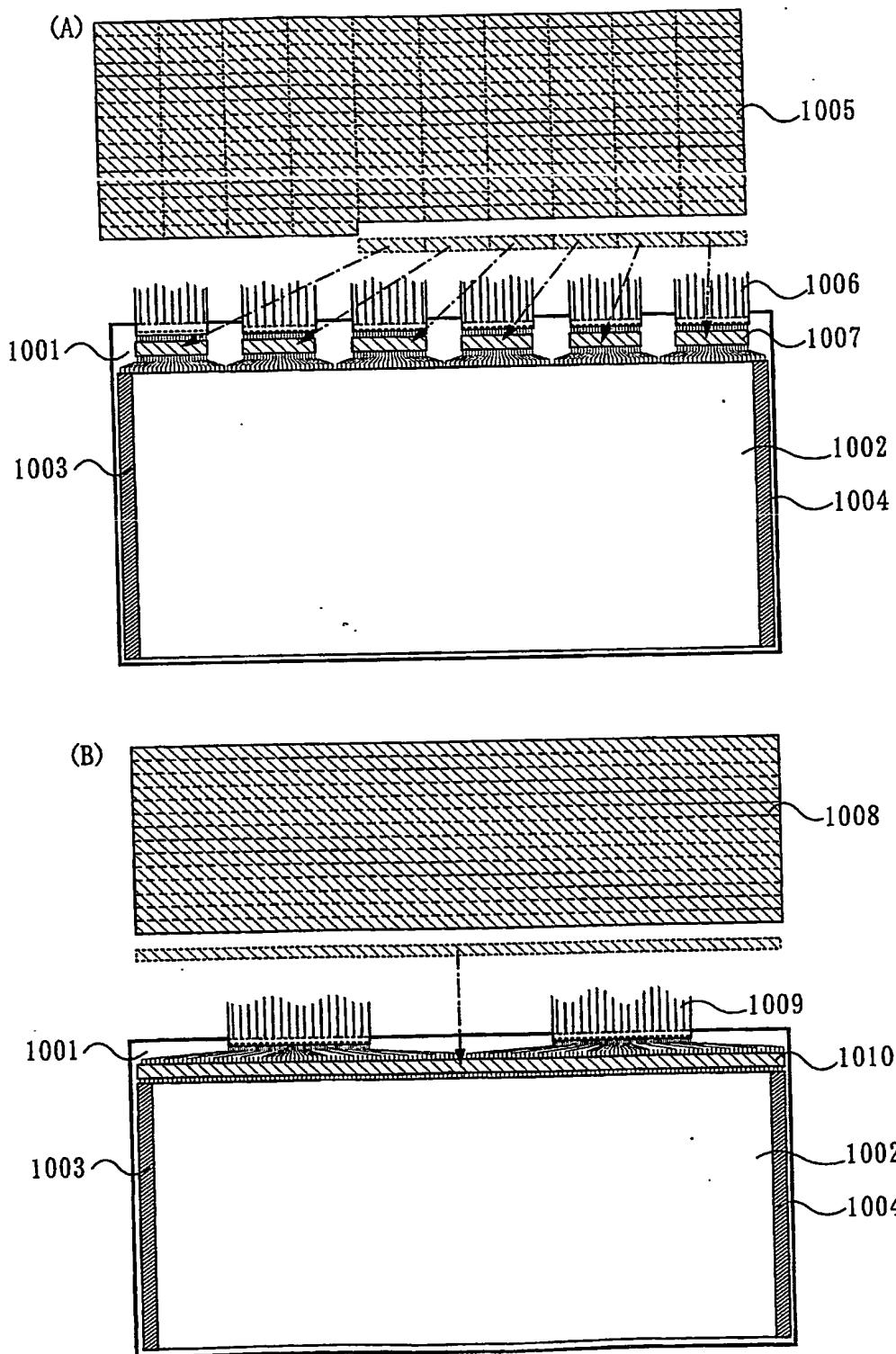
【図17】



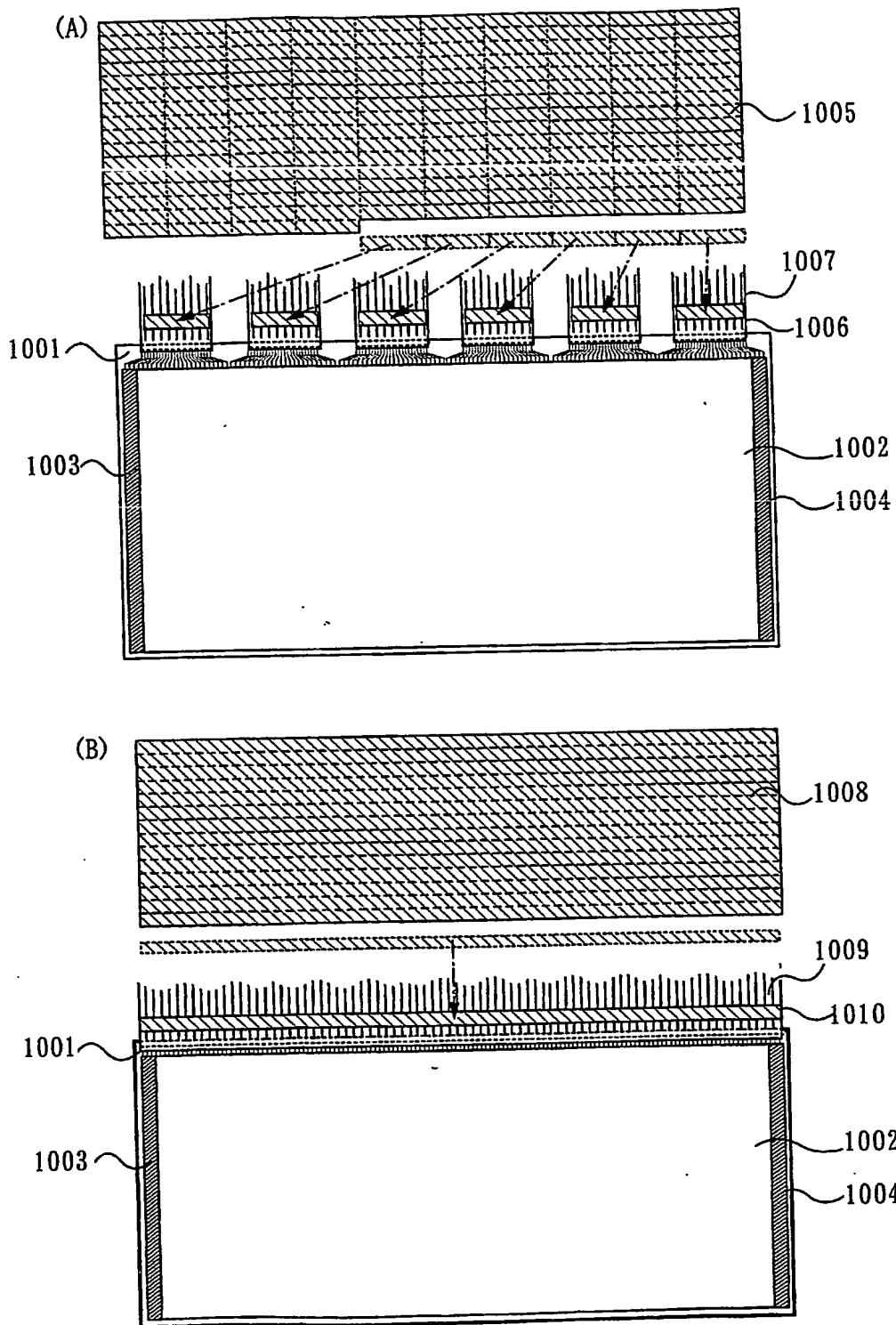
【図18】



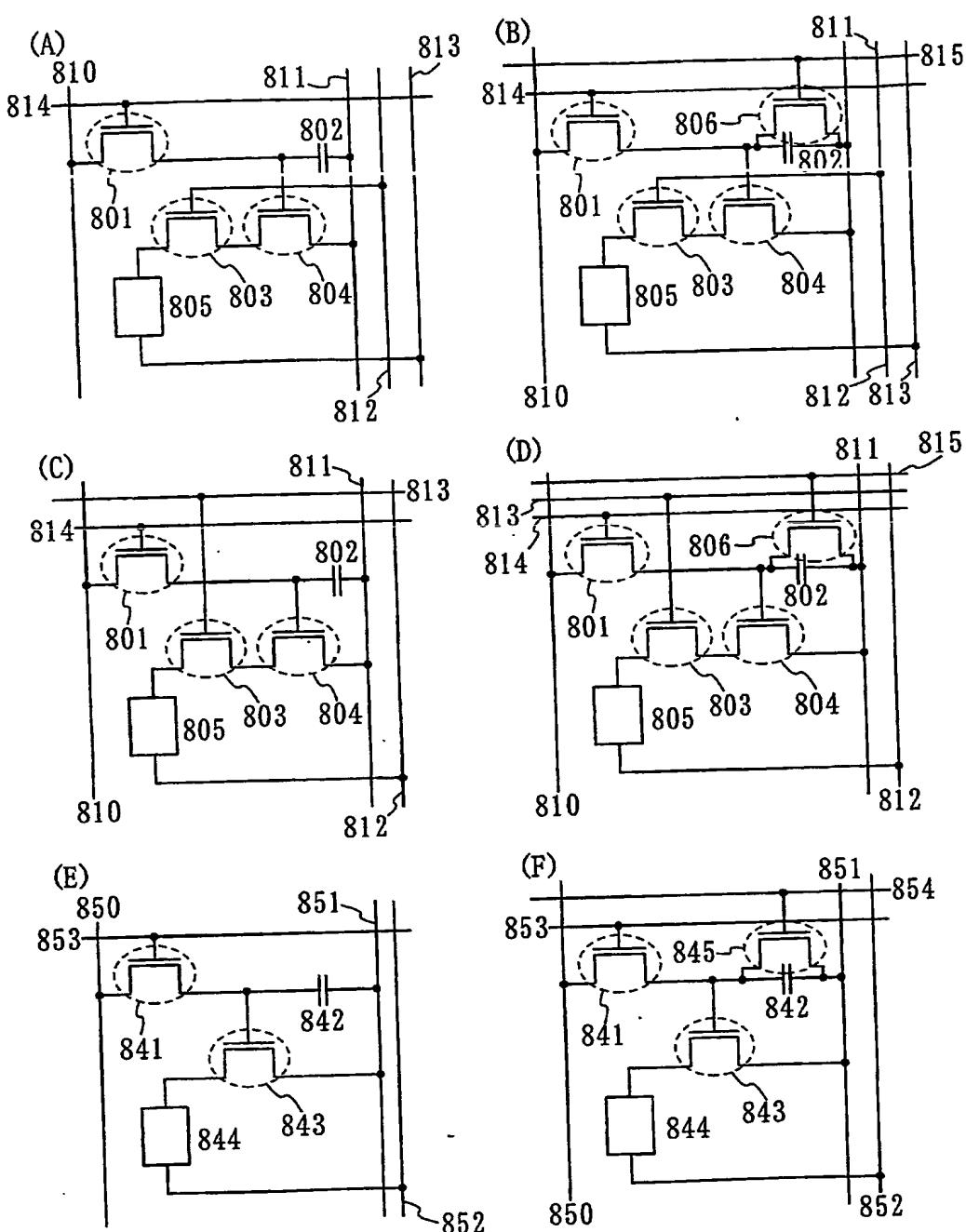
【図19】



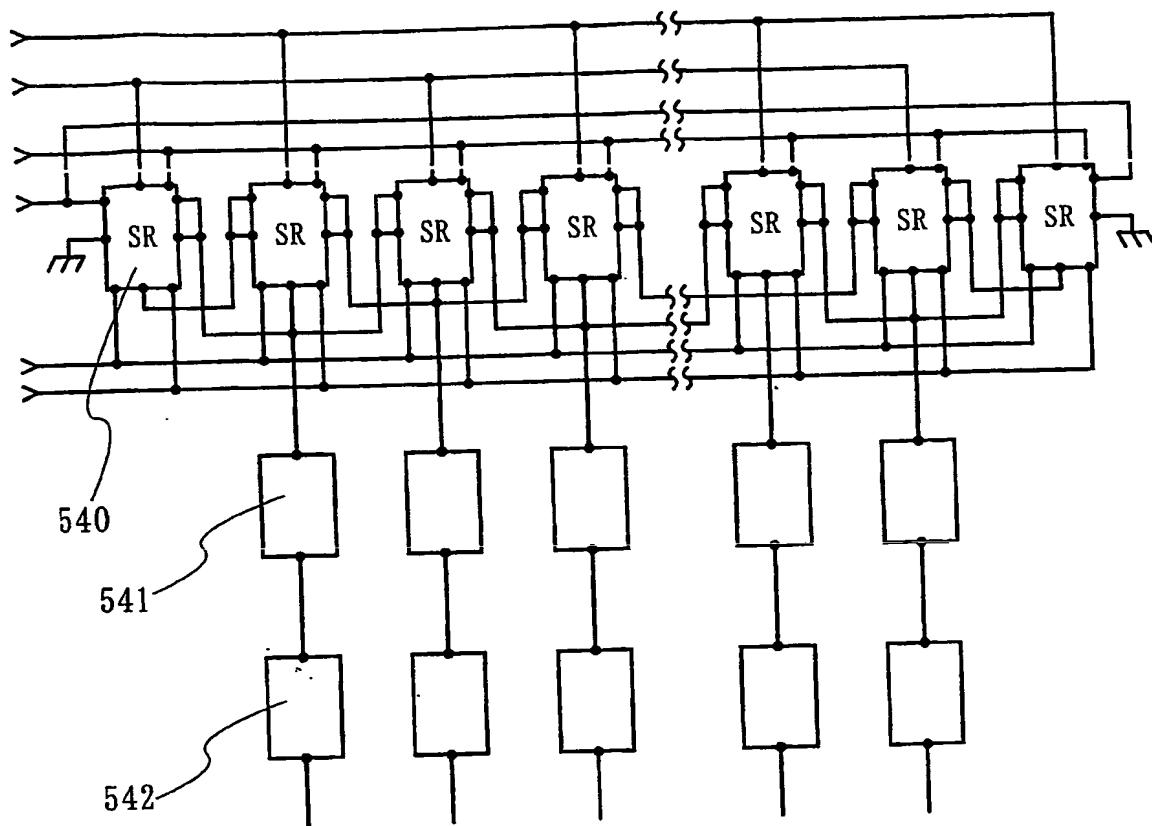
【図 20】



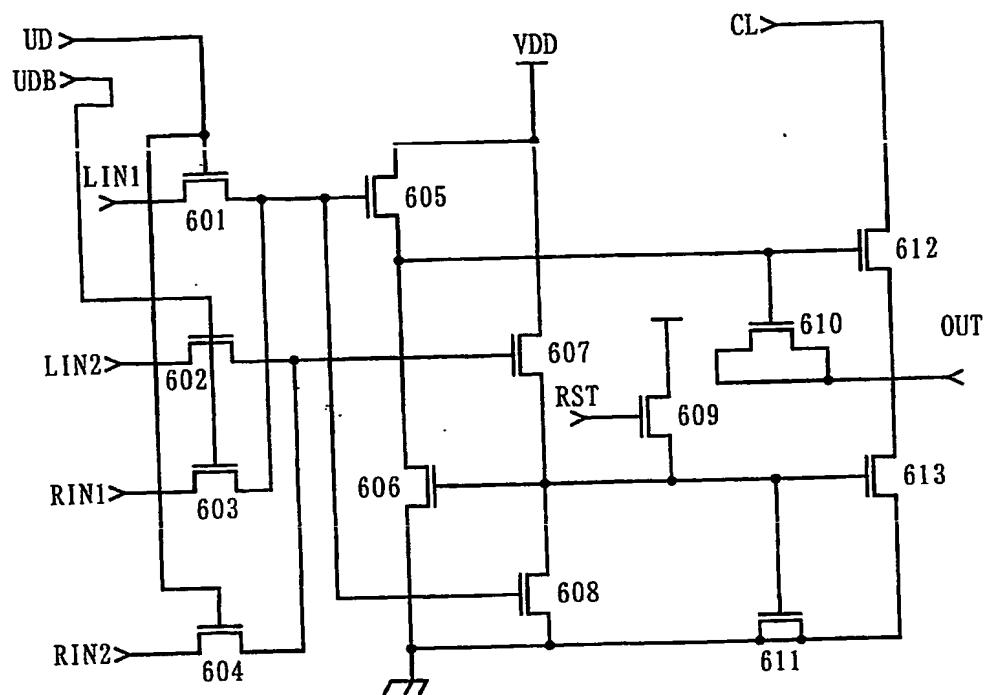
【図 21】



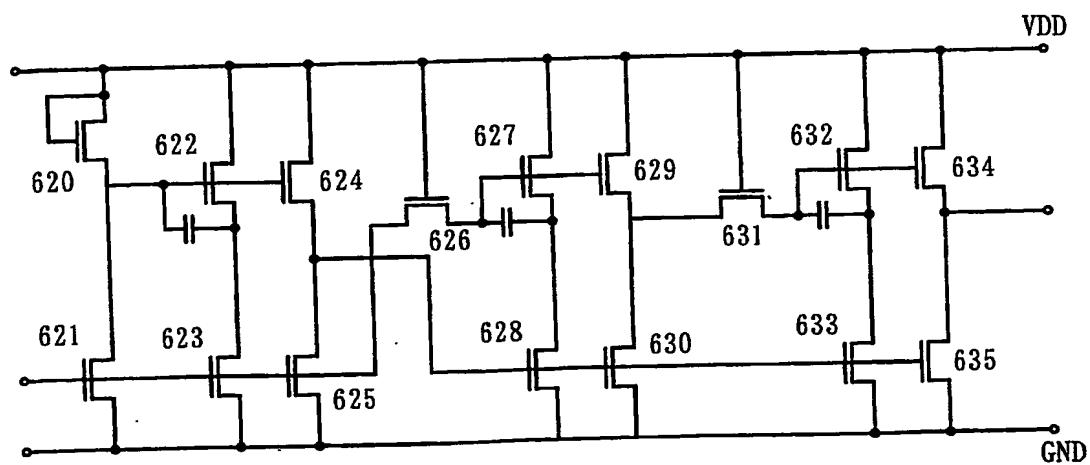
【図 22】



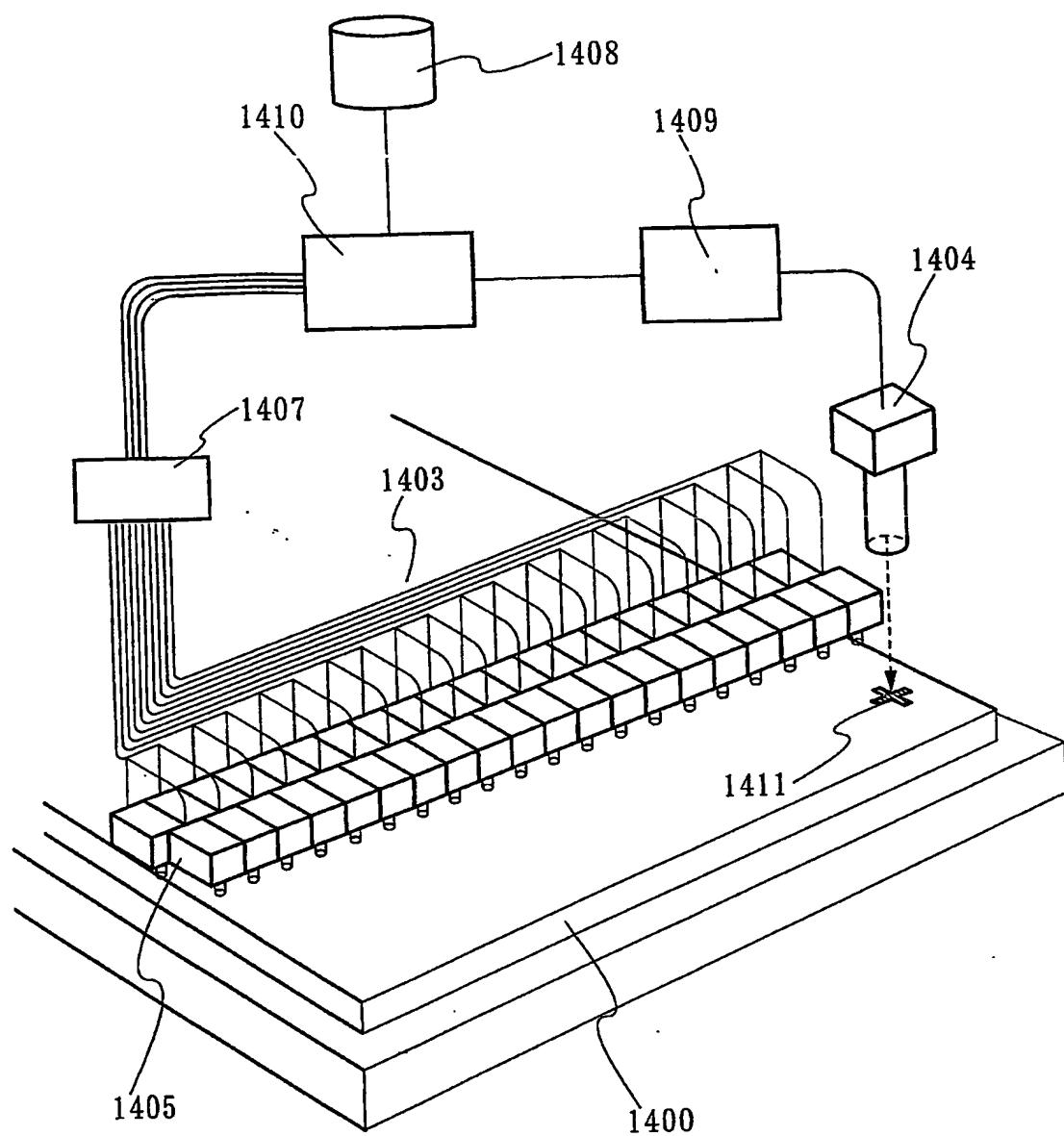
【図 23】



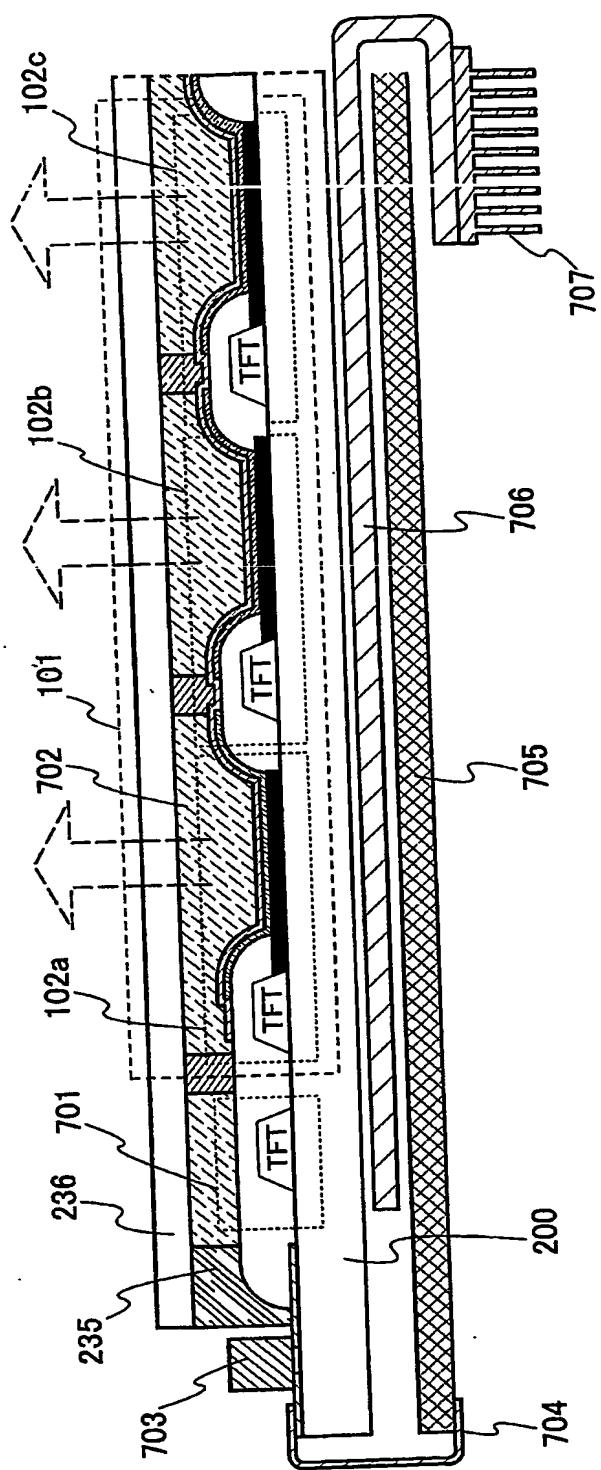
【図 24】



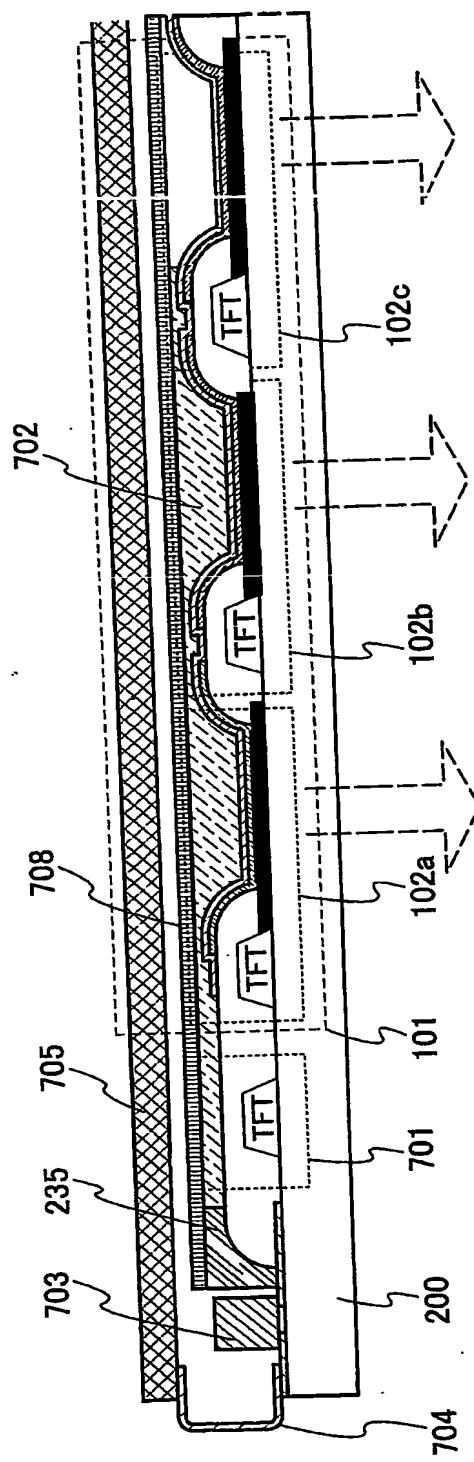
【図 25】



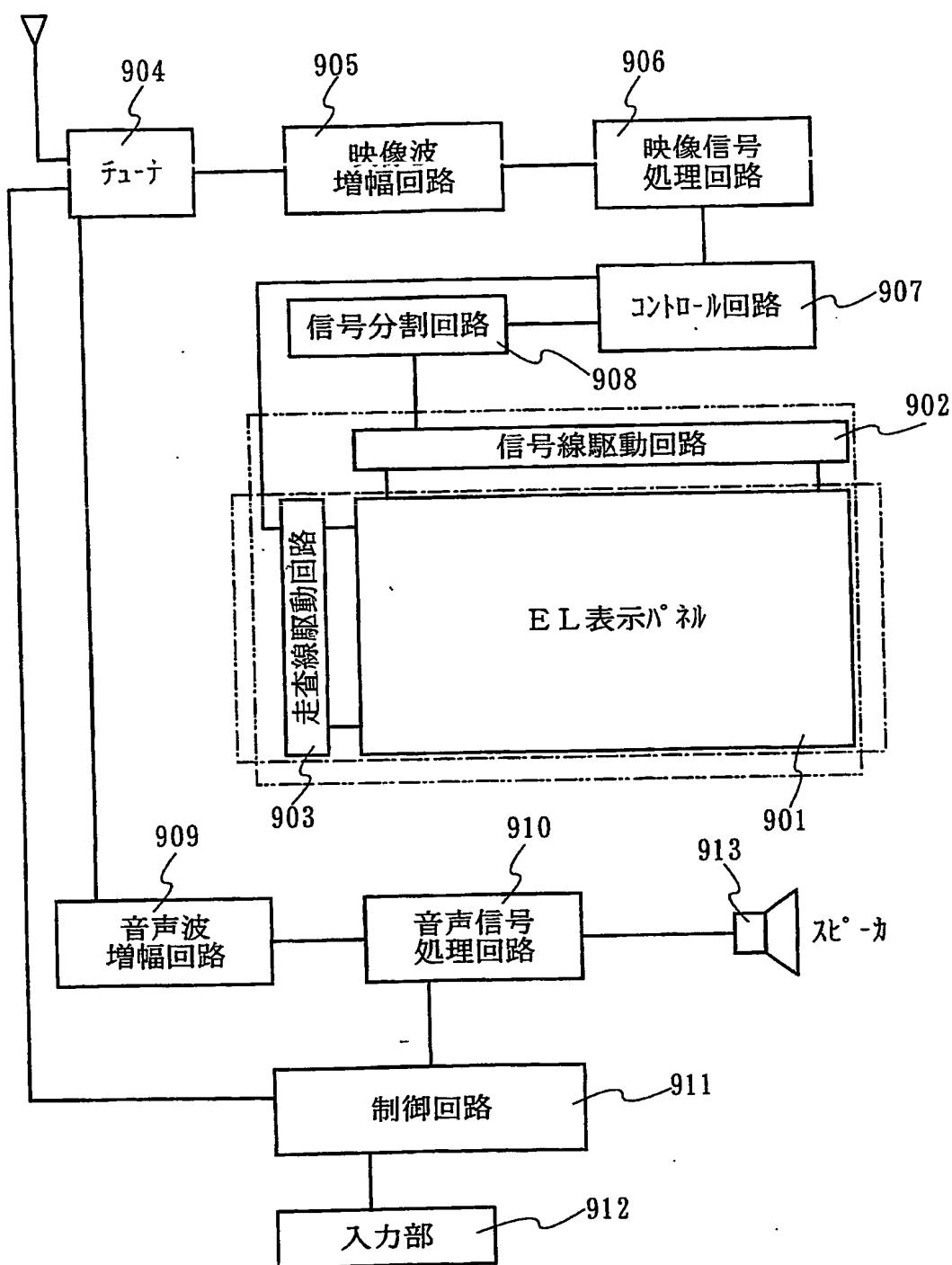
【図26】



【図27】

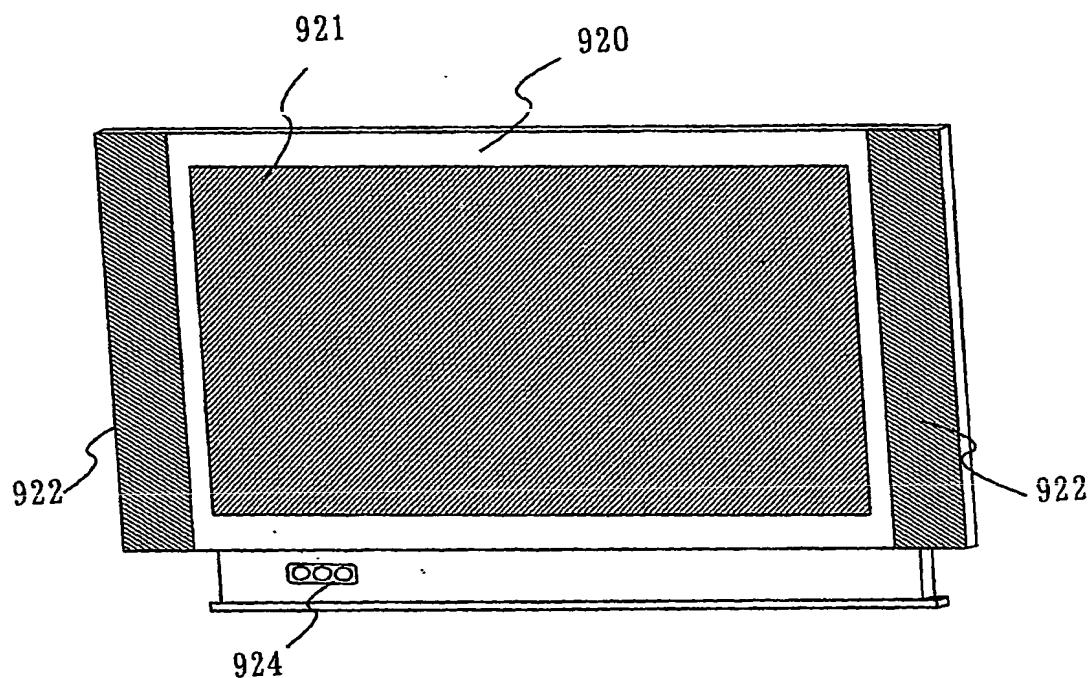


【図28】



特願 2003-386003

【図29】



出証特 2004-3113574

【書類名】要約書

【要約】

【課題】 本発明は、作製工程を簡略化させ、かつ、材料の利用効率を向上させることが可能な表示装置及びその製造技術を提供することを課題とする。更に、パターンの密着性を向上させる製造技術を提供することを課題とする。

【解決手段】 上記課題を鑑み、本発明は、配線層若しくは電極を形成する導電層や、所定のパターンを形成するためのマスク層など表示パネルを作製するために必要なパターンのうち、少なくとも一つ若しくはそれ以上を、選択的にパターンを形成可能な方法により形成して、表示パネルを製造することを特徴とするものである。

特願 2003-386003

出願人履歴情報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.